

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Nami YASUOKA, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **July 23, 2003**

For: **SEMICONDUCTOR PHOTODETECTING DEVICE AND METHOD FOR FABRICATING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: July 23, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-214408, filed July 23, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson
Attorney for Applicants
Reg. No. 27,133

DWH/jaz
Atty. Docket No. **030894**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月23日

出願番号

Application Number:

特願2002-214408

[ST.10/C]:

[JP2002-214408]

出願人

Applicant(s):

富士通株式会社

2003年 1月14日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3105808

【書類名】 特許願

【整理番号】 0240333

【提出日】 平成14年 7月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 31/10

【発明の名称】 半導体受光装置及びその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 安岡 奈美

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 鍋塚 治彦

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 倉又 朗人

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体受光装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板上に形成された受光素子と、

前記半導体基板上に形成され、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路と
を有することを特徴とする半導体受光装置。

【請求項2】 半導体基板上に形成された受光素子と、

前記半導体基板上に形成され、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路と、
前記受光素子と前記テーパ光導波路との間の前記半導体基板上に形成され、コア層と、前記コア層の上面のみを選択的に覆う上部クラッド層とを有するリッジ型光導波路と
を有することを特徴とする半導体受光装置。

【請求項3】 請求項2記載の半導体受光装置において、

前記リッジ型光導波路の前記コア層の幅が、前記テーパ光導波路の前記コア層の幅よりも広くなっている
ことを特徴とする半導体受光装置。

【請求項4】 請求項1乃至3のいずれか1項に記載の半導体受光装置において、

前記テーパ光導波路の前記コア層及び／又は前記リッジ型光導波路の前記コア層は、クラッド層により複数の層に分割されている
ことを特徴とする半導体受光装置。

【請求項5】 請求項1乃至4のいずれか1項に記載の半導体受光装置において、

光導波路により互いに光結合された複数の前記受光素子を有する
ことを特徴とする半導体受光装置。

【請求項6】 半導体基板上に、受光素子を形成する工程と、
前記半導体基板上に、前記受光素子側に向かって膜厚が連続的に増加するテー
パ状のコア層を形成する工程と、
前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に
減少する上部クラッド層を形成する工程と
を有することを特徴とする半導体受光装置の製造方法。

【請求項7】 半導体基板上の第1の領域に、受光素子を形成する工程と、
前記半導体基板上に、前記受光素子側に向かって膜厚が連続的に増加するテー
パ状のコア層を形成する工程と、
前記コア層上に第1の上部クラッド層を形成する工程と、
前記第1の上部クラッド層及び前記コア層を、一端が受光素子に接続するスト
ライプ形状にパターニングする工程と、
前記第1の領域及び前記第1の領域に隣接する第2の領域を覆う第1のマスク
膜を形成する工程と、
前記第1のマスク膜をマスクとして前記第1の上部クラッド層をエッチングし
、前記第2の領域に前記コア層及び前記第1の上部クラッド層を有するリッジ型
光導波路を形成する工程と、
前記第1のマスク膜をマスクとして、前記半導体基板上及び前記コア層上に、
第2の上部クラッド層を形成し、前記第2の領域に隣接する第3の領域に、前記
コア層及び前記第2の上部クラッド層を有するテープ光導波路を形成する工程と
を有することを特徴とする半導体受光装置の製造方法。

【請求項8】 請求項7記載の半導体受光装置の製造方法において、
前記テープ光導波路を形成する工程では、第2のマスク膜を用いて、前記第2
の上部クラッド層の成長速度に分布をもたせることにより、前記受光素子側に向
かって膜厚が連続的に減少するように前記第2のクラッド層を形成する
ことを特徴とする半導体受光装置の製造方法。

【請求項9】 請求項7又は8記載の半導体受光装置の製造方法において、
前記第1の上部クラッド層及び前記コア層をパターニングする工程では、前記
コア層の前記第2の領域における幅が前記第3の領域における幅よりも広くなる

ように、前記コア層をパターニングする
ことを特徴とする半導体受光装置の製造方法。

【請求項10】 請求項6乃至9のいずれか1項に記載の半導体受光装置の
製造方法において、

前記コア層を形成する工程では、前記半導体基板上に、クラッド層により複数
の層に分割された前記コア層を形成する

ことを特徴とする半導体受光装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体受光装置及びその製造方法に係り、特に、受光素子と、受光
素子に光を導く光導波路とを一体的に備えた半導体受光装置及びその製造方法に
関する。

【0002】

【従来の技術】

近年のインターネットに代表される情報通信網の発展に伴い、より高速な光通
信システムの必要性が高まってきている。これに伴い、光通信システムにおいて
光信号の検出等に用いられる半導体光受光装置についても、40 Gbit/s 以
上の情報伝達速度で高速動作が可能であることが求められている。

【0003】

これまで、高速動作が可能な半導体受光装置としては、光ファイバと容易に結
合することができるテーパ状光導波路とフォトダイオードとを一体的に備えた本
願発明者による半導体受光装置が知られている（例えば、特開平2002-26
370号公報を参照）。

【0004】

図19はテーパ状光導波路を一体的に備えた従来の半導体受光装置の構造を示
す概略図である。図19(a)は従来の半導体受光装置の光の進行方向に沿った
断面図、図19(b)は図19(a)のA-A'線断面図、図19(c)は図1
9(a)のB-B'線断面図、図19(d)は図19(a)のC-C'線断面図

である。

【0005】

S I (Semi-Insulating) - I n P 基板 100 上に、入射する光が伝搬する光導波路部 102 と、光導波路部 102 を伝搬した光を受光する受光部 104 とが隣接して設けられている。

【0006】

S I - I n P 基板 100 上には、n型 I n P 層 106 が形成されている。

【0007】

光導波路部 102 の n型 I n P 層 106 上には、S I - I n P 基板 100 端部から受光部 104 側に向かって厚さが連続的に増大しているテーパ状の I n G a A s P コア層 108 が形成されている。さらに、n型 I n P 層 106 上には、I n P クラッド層 110 が形成され、I n G a A s P コア層 108 が埋め込まれている。

【0008】

受光部 104 の n型 I n P 層 106 上には、ドープされていない I n G a A s 光吸收層 112 が形成されている。I n G a A s 光吸收層 112 上には、p型半導体層 114 が形成されている。こうして、I n G a A s 光吸收層 112 が p型半導体層 114 と n型 I n P 層 106 とに挟まれてなる P I N フォトダイオード 116 が形成されている。

【0009】

P I N フォトダイオード 116 の光導波路部 102 側端面には、I n G a A s P コア層 108 の受光部 104 側端面が光結合されている。

【0010】

P I N フォトダイオード 116 の p型半導体層 114 上には、p型電極 118 が形成されている。受光部 104 の n型 I n P 層 106 上には、n型電極 120 が形成されている。

【0011】

光ファイバ等の外部光導波路により半導体受光装置へと導かれた光は、埋め込み光導波路部 102 端部の I n G a A s P コア層 108 の一端に入射する。

【0012】

InGaAsPコア層108に入射した光は、InGaAsPコア層108内を受光部104へ向けて伝搬し、PINフォトダイオード116のInGaAs光吸收層112の側面に入射する。

【0013】

InGaAsPコア層108を伝搬した光が入射したPINフォトダイオード116は、光電変換の原理に基づき、入射した光の強度に応じた電気信号をP型電極118に出力する。

【0014】

図19に示す従来の半導体受光装置では、40GHzの応答特性を得ることができ、また、本願発明者等により、偏波依存性がなく、高い受光効率を有するものも試作されている（例えば、CPT2001 Technica Digest (2001) p.105を参照）。

【0015】

【発明が解決しようとする課題】

上記従来のテーパ状光導波路を備えた半導体受光装置の高速動作を実現するためには、受光部の容量を低減する必要がある。素子の低容量化には、素子構造をメサ型とする方法が最も有力であると考えられている。PINフォトダイオードをメサ型構造とすることにより、PIN接合容量を従来構造のものと比較して半減することができる。

【0016】

しかしながら、製造工程上、メサ型受光素子とテーパ状光導波路とをモノリシック集積することは困難であった。これは、メサ型受光素子とテーパ状光導波路のパターニング及びエッチングを同時にを行うことが困難であるために、テーパ状光導波路とメサ型受光素子との間の光結合損失が大きくなってしまうためである。

【0017】

本発明の目的は、高い受光効率を有するとともに高速動作が可能であり、歩留まりよく製造しうる半導体受光装置及びその製造方法を提供することにある。

【0018】

【課題を解決するための手段】

上記目的は、半導体基板上に形成された受光素子と、前記半導体基板上に形成され、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路とを有することを特徴とする半導体受光装置により達成される。

【0019】

また、上記目的は、半導体基板上に形成された受光素子と、前記半導体基板上に形成され、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路と、前記受光素子と前記テーパ光導波路との間の前記半導体基板上に形成され、コア層と、前記コア層の上面上のみを選択的に覆う上部クラッド層とを有するリッジ型光導波路とを有することを特徴とする半導体受光装置により達成される。

【0020】

また、上記目的は、半導体基板上に、受光素子を形成する工程と、前記半導体基板上に、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層を形成する工程と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層を形成する工程とを有することを特徴とする半導体受光装置の製造方法により達成される。

【0021】

また、上記目的は、半導体基板上の第1の領域に、受光素子を形成する工程と、前記半導体基板上に、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層を形成する工程と、前記コア層上に第1の上部クラッド層を形成する工程と、前記第1の上部クラッド層及び前記コア層を、一端が受光素子に接続するストライプ形状にパターニングする工程と、前記第1の領域及び前記第1の領域に隣接する第2の領域を覆う第1のマスク膜を形成する工程と、前記第1のマスク膜をマスクとして前記第1の上部クラッド層をエッチングし、前記第2の

領域に前記コア層及び前記第1の上部クラッド層を有するリッジ型光導波路を形成する工程と、前記第1のマスク膜をマスクとして、前記半導体基板上及び前記コア層上に、第2の上部クラッド層を形成し、前記第2の領域に隣接する第3の領域に、前記コア層及び前記第2の上部クラッド層を有するテーパ光導波路を形成する工程とを有することを特徴とする半導体受光装置の製造方法により達成される。

【0022】

【発明の実施の形態】

[第1実施形態]

本発明の第1実施形態による半導体受光装置及びその製造方法について図1乃至図5を用いて説明する。図1は本実施形態による半導体受光装置の構造を示す斜視図、図2は本実施形態による半導体受光装置の構造を示す断面図、図3及び図4は本実施形態による半導体受光装置の製造方法を示す工程断面図、図5は本実施形態による半導体受光装置の製造方法において用いるマスクを示す上面図である。

【0023】

まず、本実施形態による半導体受光装置について図1及び図2を用いて説明する。図2(a)は本実施形態による半導体受光装置の光の進行方向に沿った断面図、図2(b)は図2(a)のA-A'線断面図、図2(c)は図2(a)のB-B'線断面図、図2(d)は図2(a)のC-C'線断面図である。

【0024】

本実施形態による半導体受光装置では、S I - I n P基板10上に、入射する光が伝搬する光導波路部12と、光導波路部12を伝搬した光を受光する受光部14とが隣接して設けられている。

【0025】

S I - I n P基板10上には、光導波路部12における下部クラッド層、及び受光部14におけるP I Nフォトダイオードのn型半導体層として機能するn型I n P層16が形成されている。

【0026】

光導波路部12のn型InP層16上には、SI-InP基板10端部から受光部14側に向かって厚さが連続的に増大しているテープ状のInGaAsPコア層18が形成されている。光導波路部12の受光部14側近傍以外の領域では、n型InP層16上にInPクラッド層20aが形成されている。これにより、InGaAsPコア層18が埋め込まれ、その上面及び側面がInPクラッド層20aにより覆われている。光導波路部12の受光部14側近傍では、InGaAsPコア層18の上面にのみ選択的にInPクラッド層20bが形成され、InGaAsPコア層18の側面は露出している。

【0027】

このように、光導波路部12は、下部クラッド層として機能するn型InP層16上に形成されたInGaAsPコア層18がInPクラッド層20aにより埋め込まれた埋め込み光導波路部12aと、InGaAsPコア層18の上面にInPクラッド層20bが形成され、InGaAsPコア層18の側面が露出しているリッジ型接続用光導波路部12bとから構成されている。

【0028】

受光部14のn型InP層16上には、ドープされていないInGaAs光吸収層22が形成されている。InGaAs光吸収層22上には、p型InP層、p型InGaAsP層、及びp型InP層が順次積層されてなるp型半導体層30が形成されている。こうして、SI-InP基板10上に、n型InP層16と、ドープされていないInGaAs光吸収層22と、p型半導体層30とが順次積層されてなるメサ型のPINフォトダイオード32が形成されている。

【0029】

PINフォトダイオード32の光導波路部12側端面には、InGaAsPコア層18の受光部14側端面が直接接合（バッドカップリング）により光結合されている。

【0030】

PINフォトダイオード32のp型半導体層30上には、p型電極36が形成されている。受光部14のn型InP層16上には、n型電極38が形成されている。

【0031】

こうして、本実施形態による半導体受光装置が構成されている。

【0032】

本実施形態による半導体受光装置は、光導波路部12の受光部14との接続部近傍が、リッジ型光導波路部12bとなっていることに主たる特徴がある。すなわち、メサ型の受光素子であるPINフォトダイオード32との光結合部近傍の光導波路がリッジ型となっていることに主たる特徴がある。かかる構造により、後述するように、InGaAsPコア層18とPINフォトダイオード32との間の光結合損失の増大を招くことなく、テープ状のInGaAsPコア層18とPINフォトダイオード32とをモノリシックに集積することができるので、高い受光効率を有し、高速動作可能な半導体受光装置を実現することができる。

【0033】

次に、本実施形態による半導体受光装置の動作について図1及び図2を用いて説明する。

【0034】

光ファイバ等の外部光導波路により半導体受光装置へと導かれた光は、埋め込み光導波路部12a端部のInGaAsPコア層18の一端から入射する。

【0035】

InGaAsPコア層18に入射した光は、埋め込み光導波路部12aのInGaAsPコア層18内を受光部14へ向けて伝搬し、これによりモード変換される。

【0036】

埋め込み光導波路部12aのInGaAsPコア層18内を伝搬する光は、引き続き、リッジ型接続用光導波路部12bのInGaAsPコア層18内を伝搬する。その後、メサ型のPINフォトダイオード32のInGaAs光吸收層22の側面に入射する。

【0037】

リッジ型接続用光導波路部12bのInGaAsPコア層18から光が入射したPINフォトダイオード32は、光電変換の原理に基づき、入射した光の強度

に応じた電気信号をp型電極36に出力する。

【0038】

次に、本実施形態による半導体受光装置の製造方法について図3乃至図5を用いて説明する。図3(a)乃至図3(f)は図2(a)に対応する半導体受光装置における光の進行方向に沿った工程断面図である。図4(a1)、図4(b1)、図4(c1)、図4(d1)、図4(e1)、及び図4(f1)はそれぞれ図3(a)乃至図3(f)のA-A'線断面図である。図4(a2)、図4(b2)、図4(c2)、図4(d2)、図4(e2)、及び図4(f2)はそれぞれ図3(a)乃至図3(f)のB-B'線断面図である。図4(a3)、図4(b3)、図4(c3)、図4(d3)、図4(e3)、及び図4(f3)はそれぞれ図3(a)乃至図3(f)のC-C'線断面図である。図5(a)乃至図5(c)は本実施形態による半導体受光装置の製造方法において用いるマスクを示す上面図である。

【0039】

まず、S1-InP基板10上に、例えばMOVPE法により、厚さ2μmのn型InP層16と、厚さ0.2μmのInGaAs層40と、厚さ1.5μmのp型InP層42と、厚さ0.3μmのp型InGaAs層44と、厚さ0.05μmのp型InP層46とを順次エピタキシャル成長する(図3(a)、図4(a1)、図4(a2)、図4(a3)を参照)。なお、ここで形成したp型InP層46については、p型電極38を形成する際にエッティングにより除去する。

【0040】

次いで、このように形成したエピウェハ上に、例えばCVD法によりシリコン酸化膜を形成する。続いて、リソグラフィー及びエッティング技術を用いて、図5(a)に示すように、PINフォトダイオード32の形成予定領域及びそれを両側から挟む矩形状の領域に、シリコン酸化膜48を形成する。

【0041】

次いで、例えば反応性イオンエッティング(Reactive Ion Etching: RIE)法により、シリコン酸化膜48をマスクとして、p型InP層46、p型InGa

A s層44、p型InP層42、及びInGaAs層40をパターニングする。これにより、シリコン酸化膜48が形成されていない領域では、n型InP層16が露出する。一方、シリコン酸化膜48が形成されたPINフォトダイオード32の形成予定領域及びそれを両側から挟む矩形状の領域には、p型InP層46、p型InGaAs層44、p型InP層42、InGaAs層40が残存する（図3（b）、図4（b1）、図4（b2）、図4（b3）を参照）。

【0042】

次いで、シリコン酸化膜48を選択成長マスクとして、全面に、例えば有機金属気相成長（Metal Organic Vapor Phase Epitaxy: MOVPE）法により、InGaAsP層50と、InP層52とを順次形成する（図3（c）、図4（c1）、図4（c2）、図4（c3）を参照）。例えば、InGaAsP層50の成膜では、アルシン、ホスフィン、トリメチルインジウム、及びトリメチルガリウムを原料とし、150 Torr、650°Cで成長する。また、InP層52の成膜では、ホスフィン及びトリメチルインジウムを原料とし、10 Torr、650°Cで成長する。

【0043】

InGaAsP層50の成膜において、シリコン酸化膜48上に析出した原料原子は、シリコン酸化膜48表面上を移動する。そして、原料原子は、PINフォトダイオード32の形成予定領域を両側から挟む矩形状の領域間の溝に到達したところで、溝の底部に露出したn型InP層16上に堆積する。この結果、InGaAsP層50は、PINフォトダイオード32に向かって厚さが連続的に増大するテーパ状に形成される（図3（c）を参照）。

【0044】

InGaAsP層50及びInP層52を形成した後、選択成長マスクとして用いたシリコン酸化膜48を除去する。

【0045】

次いで、例えばCVD法により、シリコン酸化膜を全面に形成する。続いて、リソグラフィー及びエッティング技術を用いて、図5（b）に示すように、InGaAsPコア層18及びPINフォトダイオード32の形成予定領域を含む領域

を覆うストライプ状のシリコン酸化膜54を形成する。

【0046】

次いで、例えばRIE法により、シリコン酸化膜54をマスクとして、InP層52、InGaAsP層50、p型InP層46、p型InGaAs層44、p型InP層42、及びInGaAs層40をパターニングする。こうして、光導波路部12において、InGaAsP層50がストライプ化され、InGaAsPコア層18が形成される。同時に、受光部14において、p型InP層46、p型InGaAs層44、p型InP層42、及びInGaAs層40がストライプ化され、メサ型のPINフォトダイオード32が形成される（図3（d）、図4（d1）、図4（d2）、図4（d3）を参照）。

【0047】

上述のように、本実施形態によれば、埋め込み光導波路部12a及びリッジ型光導波路部12bのInGaAsPコア層18、及びPINフォトダイオード32のパターニング及びエッチングを同時に行うことができる。これにより、InGaAsPコア層18とPINフォトダイオード32との間の光結合損失の増大を招くことなく、テーパ状のInGaAsPコア層18とPINフォトダイオード32とをモノリシックに集積することができる。これにより、高い受光効率を有し、高速動作可能な半導体受光装置を実現することができる。

【0048】

InGaAsPコア層18及びPINフォトダイオード32を形成した後、シリコン酸化膜54を除去する。

【0049】

次いで、例えばCVD法により、シリコン酸化膜を全面に形成する。続いて、リソグラフィー及びエッチング技術を用いて、図5（c）に示すように、PINフォトダイオード32の両側を含む矩形の領域を覆うシリコン酸化膜56を形成する。

【0050】

次いで、例えばRIE法により、シリコン酸化膜56をマスクとして、InP層52をエッチングする。こうして、PINフォトダイオード32の両側近傍の

矩形の領域に形成されている InP 層 52 が残存する（図3（e）、図4（e1）、図4（e2）、図4（e3）を参照）。こうして、リッジ型接続用光導波路部 12b において、InGaAsP コア層 18 上面に、InP クラッド層 20b が選択的に形成される。

【0051】

次いで、シリコン酸化膜 56 を選択成長マスクとして、例えばMOVPE 法により、全面に InP 層を形成する。これにより、埋め込み光導波路部 12a において、InGaAsP コア層 18 が InP クラッド層 20a により埋め込まれる（図3（f）、図4（f1）、図4（f2）、図4（f3）を参照）。

【0052】

以後、通常の製造プロセスに従い、受光部 14 のパターニング、p 型電極 36、n 型電極 38 の形成等を行う。

【0053】

こうして、本実施形態による半導体受光装置が製造される。

【0054】

このように、本実施形態によれば、メサ型の PIN フォトダイオード 32 との光結合部近傍の InGaAsP コア層 18 上面に InP クラッド層 20b を形成して PIN フォトダイオード 32 との光結合部近傍の光導波路をリッジ型とするので、PIN フォトダイオード 32 と光導波路との間の光結合損失の増大を招くことなく、メサ型の受光素子とテーパ状の光導波路とをモノリシックに集積することができる。これにより、高い受光効率を有し、高速動作可能な半導体受光装置を実現することができる。

【0055】

【第2実施形態】

本発明の第2実施形態による半導体受光装置及びその製造方法について図6乃至図11を用いて説明する。図6は第1実施形態による半導体受光装置の製造方法において InP クラッド層を厚く形成した場合の様子を示す断面図、図7は本実施形態による半導体受光装置の構造を示す斜視図、図8は本実施形態による半導体受光装置の構造を示す断面図、図9及び図10は本実施形態による半導体受

光装置の製造方法を示す工程断面図、図11は本実施形態による半導体受光装置の製造方法において用いるマスクを示す上面図である。なお、第1実施形態による半導体受光装置及びその製造方法と同様の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

【0056】

上述した第1実施形態による半導体受光装置においては、光ファイバ等の外部光導波路との結合を容易にするため、光の入射端面近傍でのInPクラッド層20aを十分に厚くすることが望ましい。すなわち、光の結合損失を低減し受光感度を向上するためには、入射端面近傍でのInPクラッド層20aの厚さを例えば4μm以上にすることが望ましい。

【0057】

しかしながら、第1実施形態による半導体受光装置の構造のまま単にInPクラッド層20aを厚くした場合には、以下に述べるような難点が想定される。第1実施形態による半導体受光装置の製造方法においてInPクラッド層20aを厚くした場合について図6を用いて説明する。

【0058】

InPクラッド層20aの厚さを例えば2μm以上とすると、埋め込み光導波路部12aとリッジ型接続用光導波路部12bとを滑らかに接続することが困難となる。このため、図6に示すように、埋め込み光導波路部12aとリッジ型接続用光導波路部12bとの接続部近傍等において、成膜の際にInPクラッド層20aの異常成長が生じ、不規則な凹凸が形成される。

【0059】

図6に示すようなInPクラッド層20aにおける凹凸が生じた場合、その後に受光部14をパターニングする際に用いるレジスト膜の厚さにはらつきが生じる。この結果、受光部14を高い精度でパターニングすることが困難となることが想定される。特に、p型電極36、n型電極38等の電極のパターニング不良が発生すると、コンタクト抵抗の上昇等を招き、歩留まり低下の一因となりうる。

【0060】

また、かかるInPクラッド層20aの異常成長部は形状が不規則であるため、化学エッティング等により除去することが困難であると考えられる。したがって、InPクラッド層20aの異常成長そのものを抑制する必要がある。

【0061】

本実施形態による半導体受光装置及びその製造方法は、埋め込み光導波路部12aにおいてInGaAsPコア層18を埋め込むクラッド層の厚さを、上述した異常成長を抑制しつつ、光の入射端面近傍で厚くすることを可能とするものである。本実施形態によれば、高い受光効率を有するともに高速動作が可能であるのみならず、光ファイバ等の外部光導波路と低光結合損失で容易に結合することができ、歩留まりよく製造することができる半導体受光装置を提供することができる。

【0062】

まず、本実施形態による半導体受光装置について図7及び図8を用いて説明する。図8(a)は本実施形態による半導体受光装置の光の進行方向に沿った断面図、図8(b)は図8(a)のA-A'線断面図、図8(c)は図8(a)のB-B'線断面図、図8(d)は図8(a)のC-C'線断面図である。

【0063】

本実施形態による半導体受光装置では、第1実施形態による場合と同様に、光導波路部12と受光部14とが同一基板上に形成されている。光導波路部12は、埋め込み光導波路部12aと、リッジ型接続用光導波路部12bとから構成されている。

【0064】

埋め込み光導波路部12aにおいては、n型InP層16上に、SI-InP基板10の光の入射端面から受光部14側に向かって厚さが連続的に減少しているテーパ状のInPクラッド層58が形成され、InGaAsPコア層18が埋め込まれている。

【0065】

InPクラッド層58は、リッジ型接続用光導波路部12b近傍での厚さが、例えば1.8μmとなっており、リッジ型接続用光導波路部12bのInGaA

s Pコア層18上面に形成されたInPクラッド層20bとほぼ滑らかに接続している。

【0066】

一方、光の入射端面近傍におけるInPクラッド層58の厚さは、例えば4.5μmとなっており、光ファイバ等の外部光導波路と低光損失かつ容易に結合するため十分な厚さとなっている。

【0067】

このように、本実施形態による半導体受光装置は、SI-InP基板10端部から受光部14側に向かって厚さが連続的に減少しているテーパ状のInPクラッド層58を有することに主たる特徴がある。

【0068】

テーパ状のInPクラッド層58は、後述する方法により、リッジ型接続用光導波路部12bとの接続部近傍における成長速度を、光の入射端面近傍における成長速度に比べて小さくなるようにして形成されたものである。このため、リッジ型接続用光導波路部12bとの接続部近傍における異常成長を抑制しつつ光の入射端面近傍でのInPクラッド層58を十分に厚くすることができる。これにより、本実施形態による半導体受光装置を、光ファイバ等の外部光導波路と低光損失かつ容易に結合することができる。また、InPクラッド層58の異常成長が抑制されるので、受光部14のパターニングにおける不具合の発生等が抑制され、高い歩留まりで本実施形態による半導体受光装置を製造することができる。

【0069】

次に、本実施形態による半導体受光装置の製造方法について図9乃至図11を用いて説明する。図9(a)乃至図9(c)は図8(a)に対応する半導体受光装置における光の進行方向に沿った工程断面図である。図10(a1)、図10(b1)、及び図10(c1)はそれぞれ図9(a)乃至図9(c)のA-A'線断面図である。図10(a2)、図10(b2)、及び図10(c2)はそれぞれ図9(a)乃至図9(c)のB-B'線断面図である。図10(a3)、図10(b3)、及び図10(c3)はそれぞれ図9(a)乃至図9(c)のC-C'線断面図である。図11は本実施形態による半導体受光装置の製造方法にお

いて用いるマスクを示す上面図である。

【0070】

本実施形態による半導体受光装置の製造方法は、InGaAsPコア層18を埋め込むInPクラッド層58を、SI-InP基板10端部から受光部14側に向かってその厚さが連続的に減少するように形成することに主たる特徴がある。

【0071】

まず、図3(a)乃至図3(d)、図4(a1)乃至図4(a3)、図4(b1)乃至図4(b3)、図4(c1)乃至図4(c3)、及び図4(d1)乃至図4(d3)に示す第1実施形態による半導体受光装置の製造方法の場合と同様にして、SI-InP基板10上に、InGaAsPコア層18及びPINフォトダイオード32を形成する(図9(a)、図10(a1)、図10(a2)、図10(a3)を参照)。

【0072】

次いで、例えばCVD法により、シリコン酸化膜を全面に形成する。続いて、リソグラフィー及びエッチング技術を用いて、図11に示すように、PINフォトダイオード32の両側を含む矩形の領域と、InGaAsPコア層18が形成された領域を挟む矩形の領域とを覆うシリコン酸化膜60を形成する。

【0073】

次いで、例えばRIE法により、シリコン酸化膜60をマスクとして、InP層52をバターニングする。こうして、PINフォトダイオード32の両側近傍のInGaAsP層50上面に形成されているInP層52が残存する(図9(b)、図10(b1)、図10(b2)、図10(b3)を参照)。こうして、リッジ型接続用光導波路部12bにおいて、InGaAsPコア層18上面に、InPクラッド層20bが形成される。

【0074】

次いで、シリコン酸化膜60を選択成長マスクとして、例えばMOVPE法により、全面にInP層を形成する。成膜条件としては、例えば、原料ガスとしてfosfin及びアルシンを用い、成膜温度を600°Cとすることができる。

【0075】

また、図11に示す選択成長マスクとして用いるシリコン酸化膜60の大きさは、例えば、半導体受光装置1チップの大きさを幅500μm、長さ600μmとした場合には、次のようにすることができる。すなわち、シリコン酸化膜60が形成されるPINフォトダイオード32の両側を含む矩形の領域を長さ30μm、幅360μmとする。また、InGaAsPコア層18が形成された領域を挟む矩形の両領域をそれぞれ長さ260μm、幅165μmとし、その間の長さ260μm、幅30μmの領域を露出する。

【0076】

上記InP層の成膜において、シリコン酸化膜60上に析出した原料原子は、シリコン酸化膜60表面上を移動し、シリコン酸化膜60が形成されていない領域に堆積していく。こうして、InP層の成長速度に分布が生じ、矩形のシリコン酸化膜60に挟まれたInGaAsPコア層18が形成された領域でのInP層の成長速度は、リッジ型接続用光導波路部12bとの接続部近傍に比べて光の入射端面近傍において速くなる。この結果、InP層は、リッジ型接続用光導波路部12bとの接続部近傍に比べて、光の入射端面近傍において厚く形成される。

【0077】

こうして、埋め込み光導波路部12aにおいて、InGaAsPコア層18は、SII-InP基板10の光の入射端面側から受光部14側に向かって厚さが連続的に減少しているテーパ状のInPクラッド層58により埋め込まれる(図9(c)、図10(c1)、図10(c2)、図10(c3)を参照)。

【0078】

以後、通常の製造プロセスに従い、受光部14のパターニング、P型電極36、an型電極38の形成等を行う。

【0079】

こうして、本実施形態による半導体受光装置が製造される。

【0080】

このように、本実施形態によれば、メサ型のPINフォトダイオード32との

光結合部近傍のInGaAsPコア層18上面にInPクラッド層20bを形成してPINフォトダイオード32との光結合部近傍の光導波路をリッジ型とするので、PINフォトダイオード32と光導波路との間の光結合損失の増大を招くことなく、メサ型の受光素子とテーパ状の光導波路とをモノリシックに集積することができる。これにより、高い受光効率を有し、高速動作可能な半導体受光装置を実現することができる。

【0081】

さらに、埋め込み光導波路部12aにおけるInPクラッド層20aを光の入射端面側からPINフォトダイオード32側に向けて連続的に減少するように形成するので、InPクラッド層20aのリッジ型光導波路部12b近傍における異常成長を抑制することができる。これにより、受光部14のパターニングにおける不具合の発生等を抑制することができ、高い受光効率を有し、高速動作可能な半導体受光装置を歩留まりよく製造することができる。

【0082】

なお、本実施形態では、受光部14と埋め込み光導波路部12aとの間に、リッジ型接続用光導波路部12bを設けていたが、リッジ型接続用光導波路部12bを設けない構成としてもよい。

【0083】

【第3実施形態】

本発明の第3実施形態による半導体受光装置について図12を用いて説明する。図12は本実施形態による半導体受光装置の構造を示す断面図である。なお、第2実施形態による半導体受光装置及びその製造方法と同様の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

【0084】

本実施形態による半導体受光装置は、第2実施形態による半導体受光装置のテーパ状のコア層を多層構造としたものである。以下、本実施形態による半導体受光装置の構造について図12を用いて説明する。図12(a)は本実施形態による半導体受光装置の光の進行方向に沿った断面図、図12(b)は図12(a)のA-A'線断面図、図12(c)は図12(a)のB-B'線断面図、図12

(d) は図12 (a) のC-C' 線断面図である。

【0085】

光導波路部12のn型InP層16上には、SI-InP基板10端部から受光部14側に向かって厚さが連続的に増大しているテーパ状のコア層62が形成されている。

【0086】

コア層62は、n型InP層16上に順次積層されたInGaAsP層64と、InP層66と、InGaAsP層68とから構成されている。入射端では、例えば、InGaAsP層64の厚さは0.039μm、InP層66の厚さは0.002μm、InGaAsP層68の厚さは0.039μmとなっている。受光部14近傍では、例えば、InGaAsP層64の厚さは0.17μm、InP層66の厚さは0.003μm、InGaAsP層68の厚さは0.17μmとなっている。

【0087】

このように、本実施形態による半導体受光装置は、多層構造を有するテーパ状のコア層62を有することに主たる特徴がある。多層構造の光導波路とし、その多層膜の膜厚比を半導体材料組成で変化させることで実効的な膜厚比が大きくなり、最適なモード径変換を実現することができる。多層構造の光導波路とした場合の詳細については、例えば、本願発明者的一部による特開2002-26370号公報に記載されている。

【0088】

なお、多層構造を有するテーパ状のコア層62は、第1及び第2実施形態においてInGaAsPコア層18をテーパ状に形成した場合と同様にして、InGaAsP層64、InP層66、及びInGaAsP層68のそれぞれを順次形成することにより得ることができる。

【0089】

また、本実施形態では、コア層62を3層構造としたが、3層構造に限定されるものではなく、2層構造としてもよいし、或いは3層以上の多層構造としてもよい。

【0090】

また、本実施形態では、第2実施形態による半導体受光装置のテーパ状の光導波路層を多層構造のコア層62としたが、他の実施形態による半導体受光装置のテーパ状のコア層を、多層構造を有するコア層62としても本実施形態による場合と同様の効果が得られる。

【0091】

[第4実施形態]

本発明の第4実施形態による半導体受光装置について図13を用いて説明する。図13は本実施形態による半導体受光装置の構造を示す断面図である。なお、第2実施形態による半導体受光装置及びその製造方法と同様の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

【0092】

本実施形態による半導体受光装置は、第2実施形態による半導体受光装置において、埋め込み光導波路部12aの層数と、リッジ型接続用光導波路部12bの層数とが異なっているものである。以下、本実施形態による半導体受光装置の構造について図13を用いて説明する。図13(a)は本実施形態による半導体受光装置の光の進行方向に沿った断面図、図13(b)は図13(a)のA-A'線断面図、図13(c)は図13(a)のB-B'線断面図、図13(d)は図13(a)のC-C'線断面図である。

【0093】

図13(a)及び図13(c)に示すように、リッジ型接続用光導波路部12bにおいて、InGaAsPコア層18上面に形成されたInP層20bの中に、InGaAsP層70が形成されている。

【0094】

このように、本実施形態による半導体受光装置は、埋め込み光導波路部12aの層数と、リッジ型接続用光導波路部12bの層数とが異なっていることに主たる特徴がある。

【0095】

埋め込み光導波路部12aとリッジ型接続用光導波路部12bとの光結合をよ

りよくするためには、縦方向のモードの重なりをよくする必要がある。

【0096】

上記のように、リッジ型接続用光導波路12bにおける層数を多くする等、埋め込み光導波路部12aとリッジ型接続用光導波路部12bとで多層膜の枚数に差を設けることにより、リッジ型接続用光導波路部12bの縦方向のモードを広がり、光結合がより良好なものとなり、光損失を低減することができる。

【0097】

なお、本実施形態では、第2実施形態による半導体受光装置において、埋め込み光導波路部12aの層数と、リッジ型接続用光導波路部12bの層数とが異なるようにしたが、他の実施形態による半導体受光装置について、埋め込み光導波路部12aの層数と、リッジ型接続用光導波路部12bの層数とが異なるようにしても本実施形態による場合と同様の効果を得ることができる。

【0098】

【第5実施形態】

本発明の第5実施形態による半導体受光装置について図14を用いて説明する。図14は本実施形態による半導体受光装置の構造を示す断面図である。なお、第2実施形態による半導体受光装置及びその製造方法と同様の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

【0099】

本実施形態による半導体受光装置は、第2実施形態による半導体受光装置において、InGaAsPコア層18の幅が、埋め込み光導波路部12aとリッジ型接続用光導波路部12bとで異なっているものである。以下、本実施形態による半導体受光装置の構造について図14を用いて説明する。図14(a)は本実施形態による半導体受光装置の光の進行方向に沿った断面図、図14(b)は図14(a)のA-A'線断面図、図14(c)は図14(a)のB-B'線断面図、図14(d)は図14(a)のC-C'線断面図である。

【0100】

図14(b)及び図14(c)に示すように、埋め込み光導波路部12aでのInGaAsPコア層18の幅が、リッジ型接続用光導波路部12bでの幅より

も狭くなっている。例えば、埋め込み光導波路部12aでのInGaAsPコア層18の幅は6μmであるのに対し、リッジ型接続用光導波路部12bでの幅は8μmとなっている。

【0101】

このように、本実施形態による半導体受光装置は、埋め込み光導波路部12aでのInGaAsPコア層18の幅が、リッジ型接続用光導波路部12bでの幅よりも狭くなっていることに主たる特徴がある。このように、InGaAsPコア層18の幅に差を設けることにより、埋め込み光導波路部12aとリッジ型接続用光導波路部12bとの光結合における光損失を低減することができる。

【0102】

上述した埋め込み光導波路部12aとリッジ型接続用光導波路部12bとで幅の異なるInGaAsPコア層18は、第2実施形態による半導体受光装置の製造方法において、InGaAsP層50のストライプ化にマスクとして用いるシリコン酸化膜54を所定の異なる幅の部分を有するパターンとすることにより形成することができる。

【0103】

なお、光損失を低減する効果を十分に得るために、埋め込み光導波路部12aでのInGaAsPコア層18の幅を、リッジ型接続用光導波路部12bでの幅よりも0.5μm以上狭くすることが望ましい。

【0104】

また、本実施形態では、第2実施形態による半導体受光装置において、埋め込み光導波路部12aでのInGaAsPコア層18の幅を、リッジ型接続用光導波路部12bでの幅よりも狭くしたが、他の実施形態による半導体受光装置についても、埋め込み光導波路部12aでのInGaAsPコア層18の幅を、リッジ型接続用光導波路部12bでの幅よりも狭くすることにより同様の効果を得ることができる。

【0105】

【第6実施形態】

本発明の第6実施形態による半導体受光装置について図15を用いて説明する

。図15は本実施形態による半導体受光装置の構造を示す断面図である。なお、第1実施形態による半導体受光装置及びその製造方法と同様の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

【0106】

本実施形態による半導体受光装置は、第1実施形態による半導体受光装置において、n型InP層16及びリッジ型接続用光導波路部12bにおけるInGaAsPコア層18上面に形成されたInP層20bのそれぞれの中に、InGaAsP層が挿入されているものである。以下、本実施形態による半導体受光装置の構造について図15を用いて説明する。図15(a)は本実施形態による半導体受光装置の光の進行方向に沿った断面図、図15(b)は図15(a)のA-A'線断面図、図15(c)は図15(a)のB-B'線断面図、図15(d)は図15(a)のC-C'線断面図である。

【0107】

埋め込み光導波路部12aのInGaAsPコア層18下のn型InP層16の中には、InGaAsPコア層18とほぼ同じ幅のInGaAsP層72aが挿入されている。

【0108】

リッジ型接続用光導波路部18におけるn型InP層16の中にも、InGaAs層からなるInGaAsP層72bが挿入されている。また、リッジ型光導波路部12bにおけるInGaAsPコア層18上面に形成されたInPクラッド層20bの中にも、InGaAsPコア層18とほぼ同じ幅のInGaAsP層からなるInGaAsP層72cが挿入されている。

【0109】

また、受光部14におけるn型InP層16の中にも、InGaAs層からなるInGaAsP層72dが挿入されている。

【0110】

なお、n型InP層16の中に挿入されているInGaAsP層72a、72b、72dは、同一のInGaAsP層からなるものである。

【0111】

このように、本実施形態による半導体受光装置は、リッジ型光導波路部12bにおけるInPクラッド層20bに、InPクラッド層20bとはエッティング特性の異なるInGaAsP層72cが挿入されていることに主たる特徴がある。

【0112】

この場合、InP層52を形成する際にInGaAsP層72cを挿入し、InGaAsP層72cとInP層52とをパターニングすることによりInPクラッド層20bを形成する。エッティング条件を適宜設定することにより、シリコン酸化膜56をマスクとしてInP層52及びInGaAsP層72cをエッティングする際に、InP52層にはサイドエッティングが入らず、InGaAsP層72cにはサイドエッティングが入る条件で、InP層52及びInGaAsP層72cをエッティングすることができる。これにより、InPクラッド層20bの側面に凹凸が形成される。この凹凸により、InP層を再成長し、埋め込み光導波路部12aにおけるInPクラッド層20aを形成する際に、InPクラッド層20bとInPクラッド層20aとが滑らかに接合される。こうして、埋め込み光導波路部12aとリッジ型光導波路部12bとの接続部の段差となる部分を滑らかに接合することができる。

【0113】

上述したInGaAsP層72a、72b、72c、72dは、第1実施形態による半導体受光装置の製造方法において、これらを挿入する所定の層の形成工程の間にInGaAsP層を形成する工程を追加することにより挿入することができる。

【0114】

なお、本実施形態では、第1実施形態による半導体受光装置の所定の層にInGaAsP層を挿入したが、他の実施形態による半導体受光装置についても、本実施形態による場合と同様にInGaAsP層を挿入することにより、同様の効果を得ることができる。

【0115】

また、本実施形態では、InGaAsP層を挿入したが、挿入されるInPクラッド層とエッティング特性が異なるInAlAsP等の他の4元層を挿入しても

よい。

【0116】

【第7実施形態】

本発明の第6実施形態による半導体受光装置について図16を用いて説明する。図16は本実施形態による半導体受光装置の構造を示す概略図である。

【0117】

本実施形態による半導体受光装置は、第2実施形態による半導体受光装置において複数のPINフォトダイオードを光の進行方向に直列に配設したものである。以下、本実施形態による半導体受光装置の構造について図16を用いて説明する。

図16(a)は本実施形態による半導体受光装置の構造を示す上面図、図16(b)は図16(a)のA-A'線断面図、図16(c)は図16(b)中に点線で描かれた橙円により囲まれた部分を拡大した図である。

【0118】

受光部14において、PINフォトダイオード74a、74b、74cが光の進行方向に直列に配設されている。各PINフォトダイオード74a、74b、74cは、上記実施形態におけるPINフォトダイオード32と同様に、n型InP層16と、ドープされていないInGaAs光吸収層22と、p型半導体層30とが順次積層されてなるメサ型のものである。

【0119】

PINフォトダイオード74aの一端面には、第2実施形態による場合と同様に、InGaAsPコア層18が直接接合により光結合されている。

【0120】

PINフォトダイオード74aとPINフォトダイオード74bの対向する端面同士は、その間に設けられたリッジ型光導波路76aにより光結合されている。PINフォトダイオード74bとPINフォトダイオード74cの対向する端面同士は、その間に設けられたメサ型光導波路76bにより光結合されている。

【0121】

PINフォトダイオード74a、74b、74cのそれぞれの上面には、信号

配線78がエアーブリッジにより接続されている。

【0122】

本実施形態による半導体受光装置は、複数のPINフォトダイオードが光の進行方向に直列に配設されていることに主たる特徴がある。受光部14においてPINフォトダイオード74a、74b、74cを光の進行方向に直列に配設する構成とすることにより、一つのPINフォトダイオード32を用いる場合に比べて受光部14における素子容量を低減することが可能となる。

【0123】

InGaAsPコア層18を伝搬した光は、光導波路76a、76bにより互いに光結合されたPINフォトダイオード74a、74b、74cのそれぞれに入射する。各PINダイオード74a、74b、74cは、入射光強度に応じた電気信号を信号配線78に出力する。

【0124】

上述したPINフォトダイオード74a、74b、74cは、第2実施形態による半導体受光装置の製造方法において、p型InP層46、p型InGaAs層44、p型InP層42、及びInGaAs層40のエッチングマスクとして用いるシリコン酸化膜48を、直列に並んだPINフォトダイオード74a、74b、74cの形成予定領域を覆うパターンとすることにより形成することができる。

【0125】

なお、光の進行方向に直列に配設されたPINフォトダイオード74a、74b、74cの間の受光感度の差を小さくするために、これらを図17(a)又は図17(b)に示す構造としてもよい。図17(a)は本実施形態の変形例(その1)による半導体受光装置の図16(c)に対応する断面図、図17(b)は本実施形態の変形例(その2)による半導体受光装置のPINフォトダイオードの上面図である。

【0126】

例えば、図17(a)に示すように、PINフォトダイオード74a、74b、74cの光の進行方向の素子長を、光導波路部12から離れた位置にあるもの

ほど徐々に長くしてもよい。これにより、PINフォトダイオード74a、74b、74cの間の受光感度の差を小さくすることができる。

【0127】

また、図17(b)に示すように、PINフォトダイオード74a、74b、74cの幅を、光導波路部12から離れていくほど徐々に広くしてもよい。例えば、InGaAsPコア層18の幅を3μmとした場合には、PINフォトダイオード74a、74b、74cの幅を、それぞれ順に3μm、5μm、10μm程度とする。リッジ型光導波路76a、76bの幅も、異なる幅を有するPINフォトダイオード間を光結合することができるよう徐々に広くする。このようにPINフォトダイオード74a、74b、74cの幅を徐々に広くすることにより、PINフォトダイオード74a、74b、74cの間の受光感度の差を小さくすることができる。

【0128】

また、本実施形態では、3個のPINフォトダイオードを光の進行方向に直列に配設したが、配設するPINフォトダイオードの数は3個に限定されるものではない。

【0129】

また、本実施形態では、第2実施形態による半導体受光装置の受光部14に複数のPINフォトダイオード74a、74b、74cを設けたが、他の実施形態による半導体受光装置についても、本実施形態による場合と同様に複数のPINフォトダイオード74a、74b、74cを設けることにより、同様の効果を得ることができる。

【0130】

【変形実施形態】

本発明の上記実施形態に限らず種々の変形が可能である。

【0131】

例えば、本発明による半導体受光装置を構成する材料は、上記実施形態に記載の材料系に限定されるものではなく、受光する光の波長等に基づき好適な材料系を適宜選択することができる。また、各層の厚さや幅等についても必要に応じて

適宜設計変更することができる。

【0132】

また、上記実施形態では、シリコン酸化膜48、54、56をエッチングマスクや選択成長マスクとして用いたが、エッチングマスクや選択成長マスクとして用いる膜はシリコン酸化膜に限定されるものではない。

【0133】

また、上記実施形態では、例えば図8(a)に示すように受光部14断面の接合面が表面に現れていない構造としたが、受光部14断面の接合面が表面に現れている構造としてもよい。図18は、本発明による半導体受光装置において、受光部14断面の接合面が表面に現れる構造の一例を示す断面図である。

【0134】

(付記1) 半導体基板上に形成された受光素子と、前記半導体基板上に形成され、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路とを有することを特徴とする半導体受光装置。

【0135】

(付記2) 半導体基板上に形成された受光素子と、前記半導体基板上に形成され、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、前記コア層の上面及び側面を覆う上部クラッド層とを有するテーパ光導波路と、前記受光素子と前記テーパ光導波路との間の前記半導体基板上に形成され、コア層と、前記コア層の上面上のみを選択的に覆う上部クラッド層とを有するリッジ型光導波路とを有することを特徴とする半導体受光装置。

【0136】

(付記3) 半導体基板上に形成された受光素子と、前記半導体基板上に形成され、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路と、前記受光素子と前記テーパ光導波路との間の前記半導体基板上に形成され、コア層と、前記コア層の上面上

のみを選択的に覆う上部クラッド層とを有するリッジ型光導波路とを有することを特徴とする半導体受光装置。

【0137】

(付記4) 付記2又は3記載の半導体受光装置において、前記リッジ型光導波路の前記コア層の幅が、前記テーパ光導波路の前記コア層の幅よりも広くなっていることを特徴とする半導体受光装置。

【0138】

(付記5) 付記2乃至4のいずれかに記載の半導体受光装置において、前記テーパ光導波路を構成する層の数と前記リッジ型光導波路を構成する層の数とが異なっていることを特徴とする半導体受光装置。

【0139】

(付記6) 付記2乃至5のいずれかに記載の半導体受光装置において、前記リッジ型光導波路の前記上部クラッド層に挿入され、前記リッジ型光導波路の前記上部クラッド層とエッチング特性が異なる層を更に有することを特徴とする半導体受光装置。

【0140】

(付記7) 付記1乃至6のいずれかに記載の半導体受光装置において、前記受光素子は、前記テーパ光導波路の前記コア層又は前記リッジ型光導波路の前記コア層と直に結合されていることを特徴とする半導体受光装置。

【0141】

(付記8) 付記1乃至7のいずれかに記載の半導体受光装置において、前記テーパ光導波路の前記コア層及び／又は前記リッジ型光導波路の前記コア層は、クラッド層により複数の層に分割されていることを特徴とする半導体受光装置。

【0142】

(付記9) 付記1乃至8のいずれかに記載の半導体受光装置において、光導波路により互いに光結合された複数の前記受光素子を有することを特徴とする半導体受光装置。

【0143】

(付記10) 付記9記載の半導体受光装置において、複数の前記受光素子は

、前記テーパ光導波路から離れた位置にあるものほど光吸收層の長さが長くなっていることを特徴とする半導体受光装置。

【0144】

(付記11) 付記9又は10記載の半導体受光装置において、複数の前記受光素子及び前記光導波路の幅が、前記テーパ光導波路から離れるにつれて徐々に広くなっていることを特徴とする半導体受光装置。

【0145】

(付記12) 半導体基板上に、受光素子を形成する工程と、前記半導体基板上に、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層を形成する工程と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層を形成する工程とを有することを特徴とする半導体受光装置の製造方法。

【0146】

(付記13) 半導体基板上の第1の領域に、受光素子を形成する工程と、前記半導体基板上に、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層を形成する工程と、前記コア層上に第1の上部クラッド層を形成する工程と、前記第1の上部クラッド層及び前記コア層を、一端が受光素子に接続するストライプ形状にパターニングする工程と、前記第1の領域及び前記第1の領域に隣接する第2の領域を覆う第1のマスク膜を形成する工程と、前記第1のマスク膜をマスクとして前記第1の上部クラッド層をエッティングし、前記第2の領域に前記コア層及び前記第1の上部クラッド層を有するリッジ型光導波路を形成する工程と、前記第1のマスク膜をマスクとして、前記半導体基板上及び前記コア層上に、第2の上部クラッド層を形成し、前記第2の領域に隣接する第3の領域に、前記コア層及び前記第2の上部クラッド層を有するテーパ光導波路を形成する工程とを有することを特徴とする半導体受光装置の製造方法。

【0147】

(付記14) 付記13記載の半導体受光装置の製造方法において、前記テーパ光導波路を形成する工程では、第2のマスク膜を用いて、前記第2の上部クラッド層の成長速度に分布をもたせることにより、前記受光素子側に向かって膜厚

が連続的に減少するように前記第2の上部クラッド層を形成することを特徴とする半導体受光装置の製造方法。

【0148】

(付記15) 付記13又は14記載の半導体受光装置の製造方法において、前記第1の上部クラッド層及び前記コア層をパターニングする工程では、前記コア層の前記第2の領域における幅が前記第3の領域における幅よりも広くなるように、前記コア層をパターニングすることを特徴とする半導体受光装置の製造方法。

【0149】

(付記16) 付記13乃至15のいずれかに記載の半導体受光装置の製造方法において、前記テーパ光導波路を形成する工程及び／又は前記リッジ型光導波路を形成する工程では、前記テーパ光導波路を構成する層の数と前記リッジ型光導波路を構成する層の数とが異なるようにすることを特徴とする半導体受光装置の製造方法。

【0150】

(付記17) 付記13乃至16のいずれかに記載の半導体受光装置の製造方法において、前記第1の上部クラッド層を形成する工程では、前記第1の上部クラッド層の中に前記第1の上部クラッド層とエッチング特性が異なる層を挿入することを特徴とする半導体受光装置の製造方法。

【0151】

(付記18) 付記12乃至17のいずれかに記載の半導体受光装置の製造方法において、前記コア層を形成する工程では、前記半導体基板上に、クラッド層により複数の層に分割された前記コア層を形成することを特徴とする半導体受光装置の製造方法。

【0152】

(付記19) 付記12乃至18のいずれかに記載の半導体受光装置の製造方法において、前記受光素子を形成する工程では、光導波路により互いに光結合された複数の前記受光素子を形成することを特徴とする半導体受光装置の製造方法。

【0153】

(付記20) 付記19記載の半導体受光装置の製造方法において、前記受光素子を形成する工程では、前記テーパ光導波路から離れた位置にあるものほど光吸收層の長さが長くなるように複数の前記受光素子を形成することを特徴とする半導体受光装置の製造方法。

【0154】

(付記21) 付記19又は20記載の半導体受光装置の製造方法において、前記受光素子を形成する工程では、複数の前記受光素子の光吸收層及び前記光導波路の幅が前記テーパ光導波路から離れるにつれて徐々に広くなるように、複数の前記受光素子及び前記光導波路を形成することを特徴とする半導体受光装置の製造方法。

【0155】

【発明の効果】

以上の通り、本発明によれば、半導体基板上に形成された受光素子と、半導体基板上に形成され、受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、コア層の上面及び側面を覆い、受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路とを有するので、テーパ状のコア層と受光素子との間の光結合損失の増大を招くことなく、テーパ状のコア層と受光素子とをモノリシックに集積することができる。これにより、高い受光効率を有し、高速動作可能な半導体受光装置を実現することができる。

【0156】

また、半導体基板上に形成された受光素子と、半導体基板上に形成され、受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、コア層の上面及び側面を覆い、受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路と、受光素子とテーパ光導波路との間の半導体基板上に形成され、コア層と、コア層の上面のみを選択的に覆う上部クラッド層とを有するリッジ型光導波路とを有するので、テーパ光導波路の上部クラッド層のリッジ型光導波路近傍における異常成長を抑制することができる。これにより、受光素子の周辺領域のパターニングにおける不具合の発生等を抑制することができ、

高い受光効率を有し、高速動作可能な半導体受光装置を歩留まりよく製造することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態による半導体受光装置の構造を示す斜視図である。

【図2】

本発明の第1実施形態による半導体受光装置の構造を示す断面図である。

【図3】

本発明の第1実施形態による半導体受光装置の製造方法を示す工程断面図（その1）である。

【図4】

本発明の第1実施形態による半導体受光装置の製造方法を示す工程断面図（その2）である。

【図5】

本発明の第1実施形態による半導体受光装置の製造方法において用いるマスクを示す上面図である。

【図6】

本発明の第1実施形態による半導体受光装置の製造方法においてInPクラッド層を厚く形成した場合の様子を示す断面図である。

【図7】

本発明の第2実施形態による半導体受光装置の構造を示す斜視図である。

【図8】

本発明の第2実施形態による半導体受光装置の構造を示す断面図である。

【図9】

本発明の第2実施形態による半導体受光装置の製造方法を示す工程断面図（その1）である。

【図10】

本発明の第2実施形態による半導体受光装置の製造方法を示す工程断面図（その2）である。

【図11】

本発明の第2実施形態による半導体受光装置の製造方法において用いるマスクを示す上面図である。

【図12】

本発明の第3実施形態による半導体受光装置の構造を示す断面図である。

【図13】

本発明の第4実施形態による半導体受光装置の構造を示す断面図である。

【図14】

本発明の第5実施形態による半導体受光装置の構造を示す断面図である。

【図15】

本発明の第6実施形態による半導体受光装置の構造を示す断面図である。

【図16】

本発明の第7実施形態による半導体受光装置の構造を示す概略図である。

【図17】

本発明の第7実施形態の変形例による半導体受光装置の構造を示す断面図である。

【図18】

本発明の変形例による半導体受光装置の構造を示す断面図である。

【図19】

従来の半導体受光装置の構造を示す断面図である。

【符号の説明】

10…S I - I n P 基板

12…光導波路部

12a…埋め込み光導波路部

12b…リッジ型接続用光導波路部

14…受光部

16…n型I n P層

18…I n G a A s Pコア層

20a、20b…I n Pクラッド層

2 2 … InGaAs 光吸收層
 3 0 … p 型半導体層
 3 2 … PIN フォトダイオード
 3 6 … n 型電極
 3 8 … p 型電極
 4 0 … InGaAs 層
 4 2 … p 型 InP 層
 4 4 … p 型 InGaAs 層
 4 6 … p 型 InP 層
 4 8 … シリコン酸化膜
 5 0 … InGaAsP 層
 5 2 … InP 層
 5 4 … シリコン酸化膜
 5 6 … シリコン酸化膜
 5 8 … InP クラッド層
 6 0 … シリコン酸化膜
 6 2 … コア層
 6 4 … InGaAsP 層
 6 6 … InP 層
 6 8 … InGaAsP 層
 7 0 … InGaAsP 層
 7 2 a、7 2 b、7 2 c、7 2 d … InGaAsP 層
 7 4 a、7 4 b、7 4 c … PIN フォトダイオード
 7 6 a、7 6 b … リッジ型光導波路
 7 8 … 信号配線
 1 0 0 … SI-InP 基板
 1 0 2 … 光導波路部
 1 0 4 … 受光部
 1 0 6 … n 型 InP 層

108…InGaAsPコア層

110…InPクラッド層

112…InGaAs光吸収層

114…p型半導体層

116…PINフォトダイオード

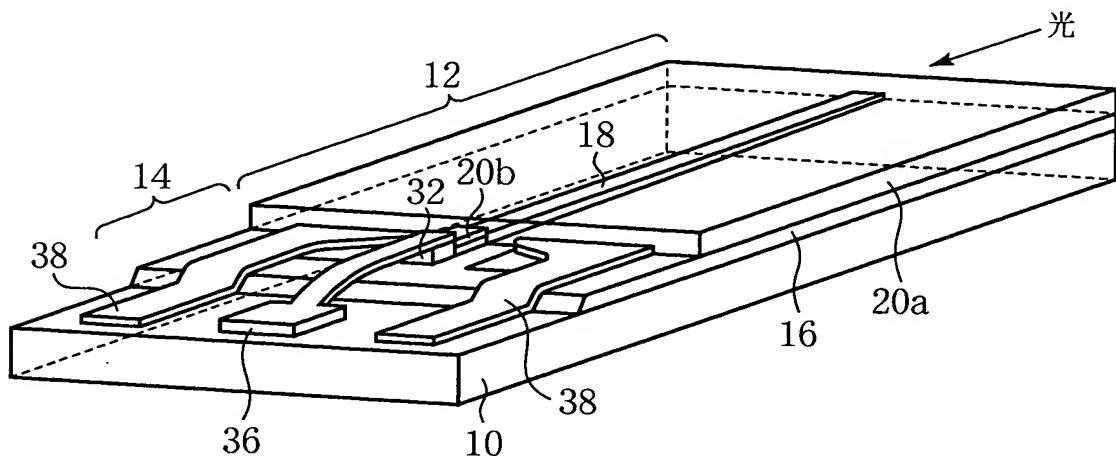
118…n型電極

120…p型電極

【書類名】 図面

【図1】

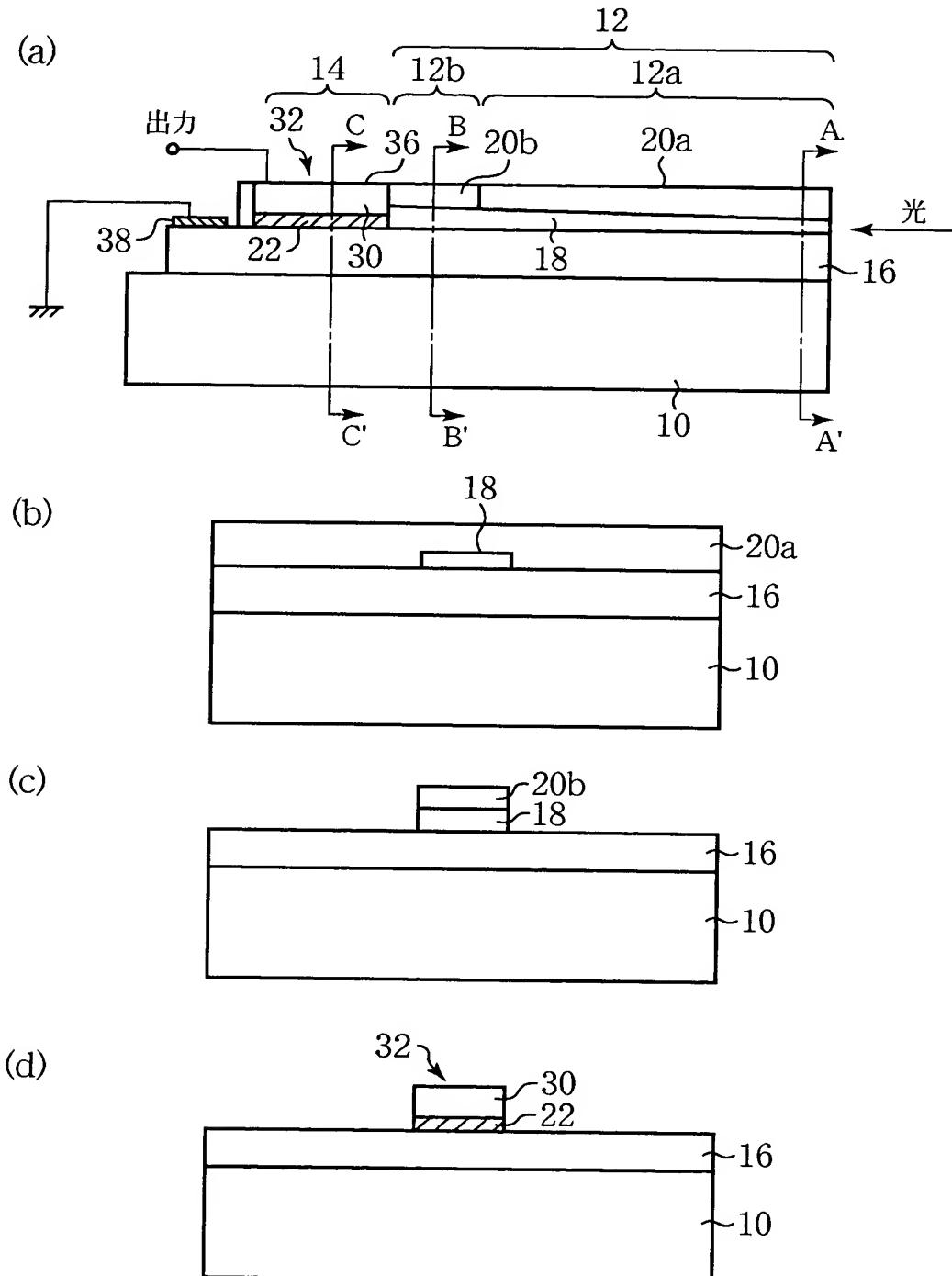
本発明の第1実施形態による半導体受光装置の構造を示す斜視図



- 10…SI-InP基板
- 12…光導波路部
- 14…受光部
- 16…n型InP層
- 18…InGaAsPコア層
- 20a、20b…InPクラッド層
- 22…InGaAs光吸收層
- 30…p型半導体層
- 32…PINフォトダイオード
- 36…n型電極
- 38…p型電極

【図2】

本発明の第1実施形態による半導体受光装置の構造を示す断面図

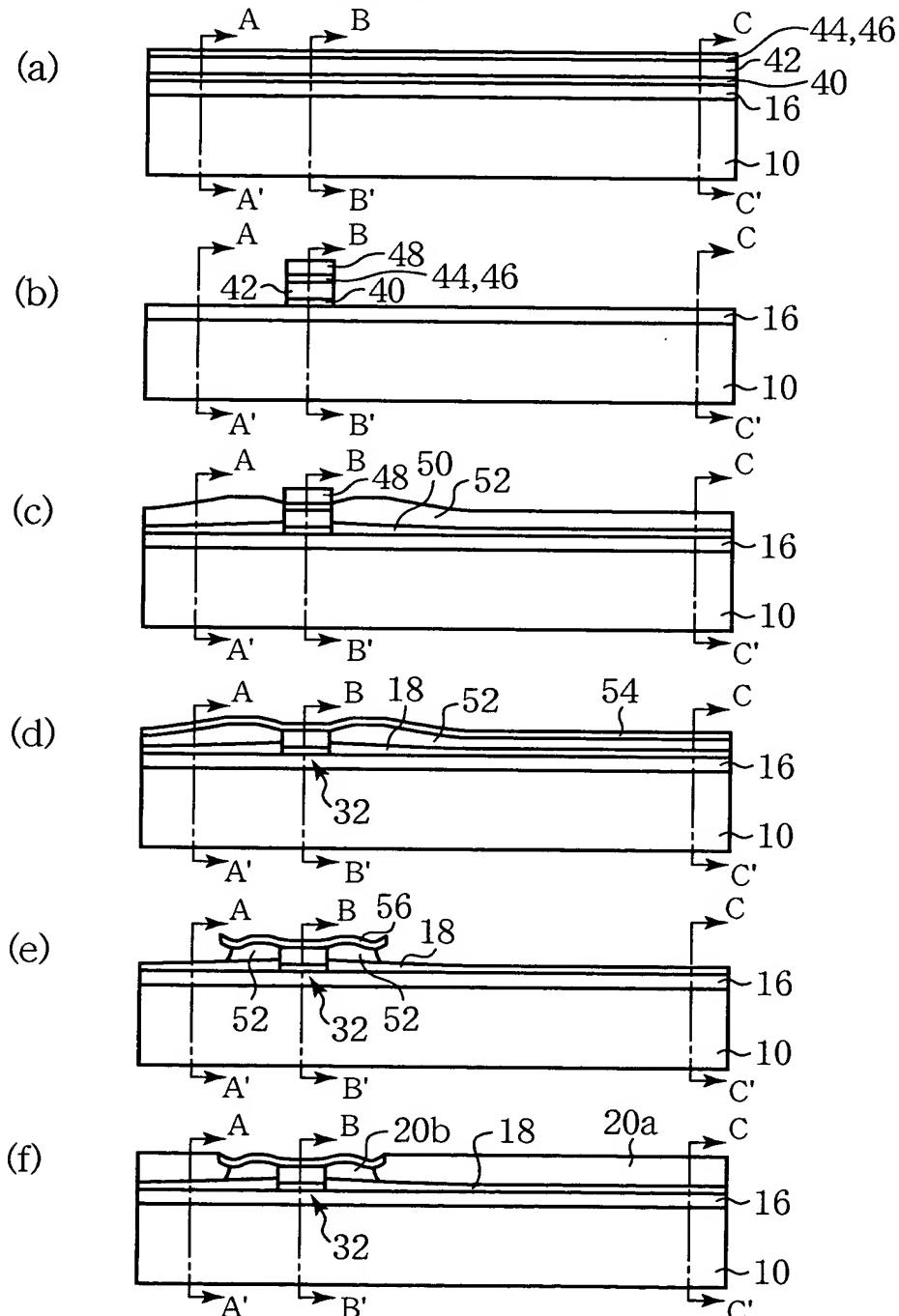


12a…埋め込み光導波路部

12b…リッジ型接続用光導波路部

【図3】

本発明の第1実施形態による半導体受光装置の製造方法を示す
工程断面図（その1）



40…InGaAs層

42…p型InP層

44…p型InGaAs層

46…p型InP層

48…シリコン酸化膜

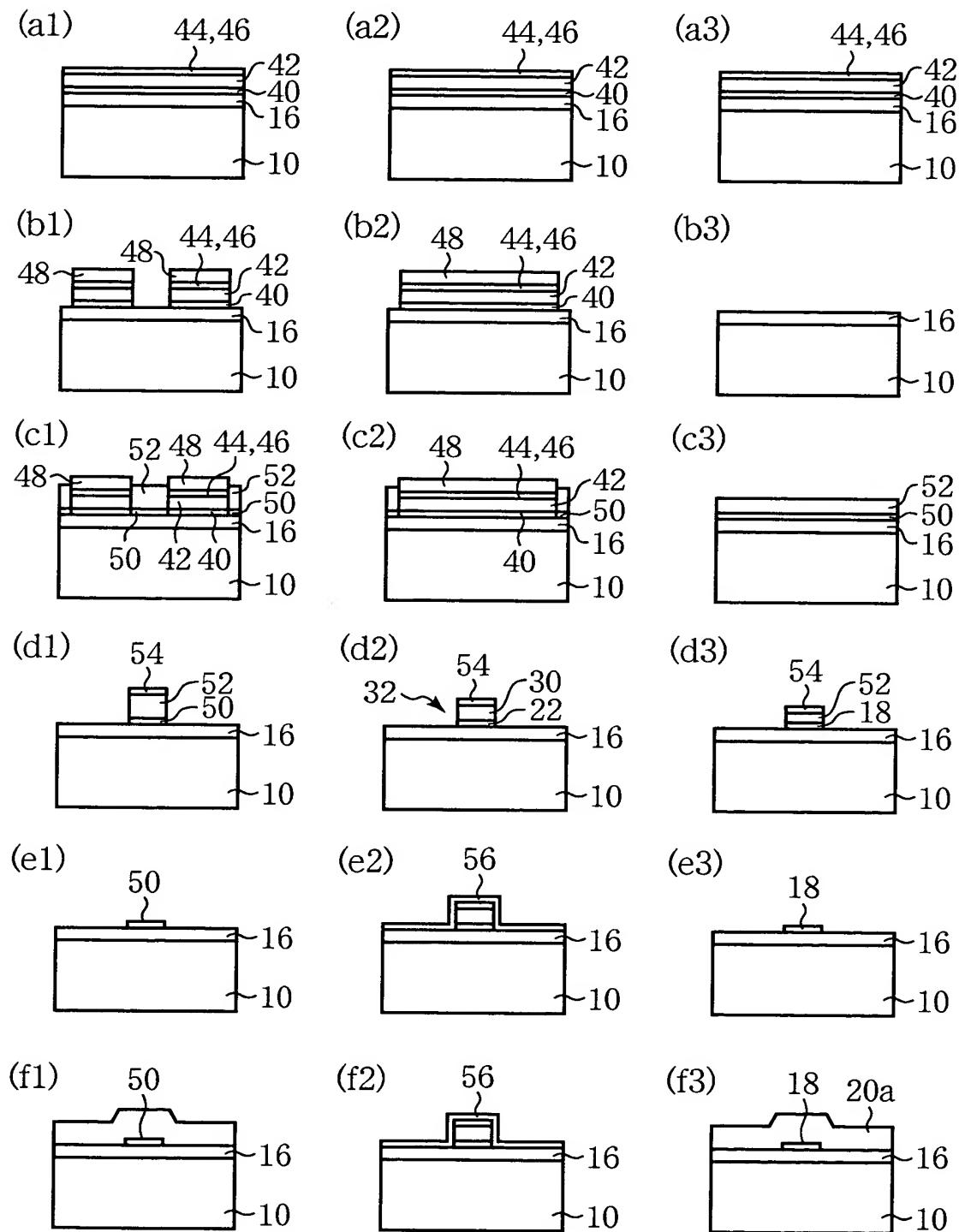
50…InGaAsP層

52…InP層

54…シリコン酸化膜

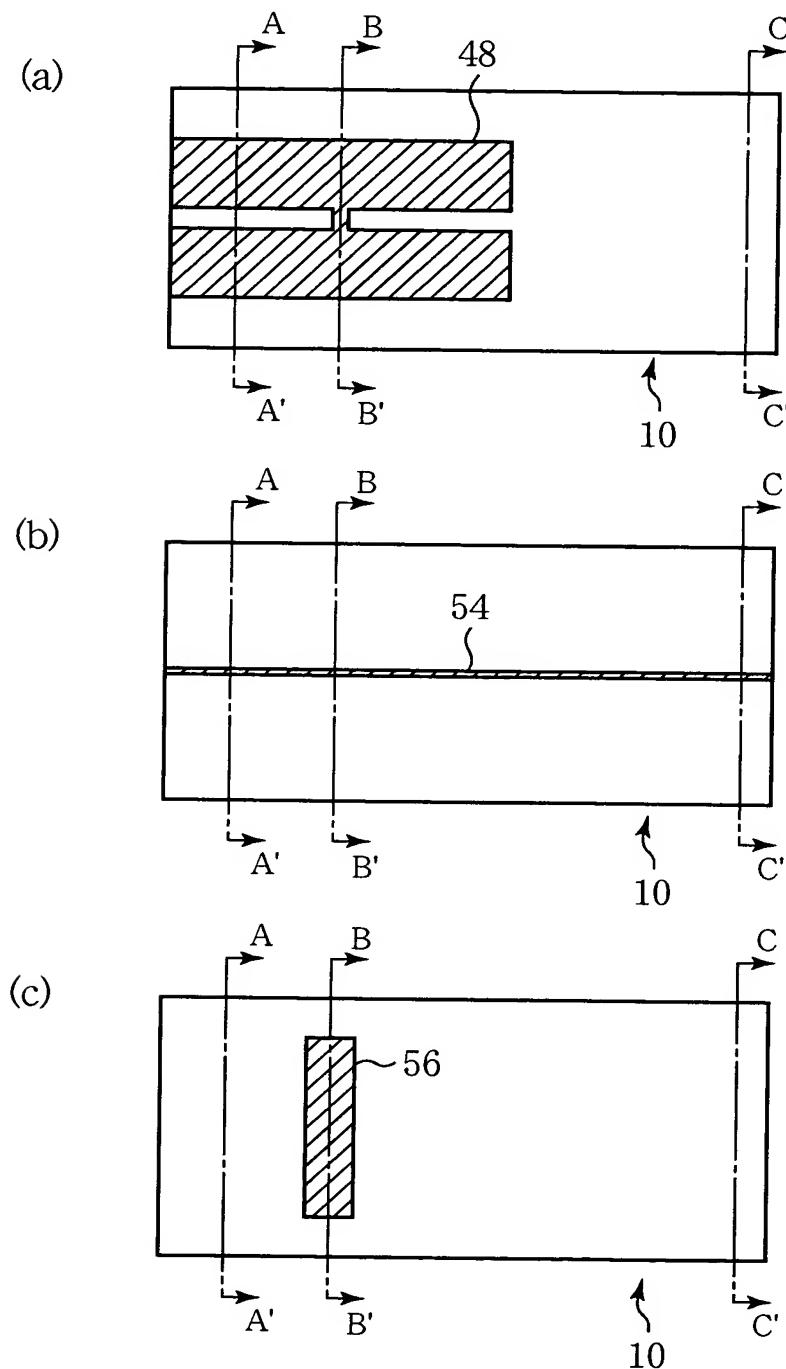
56…シリコン酸化膜

【図4】

本発明の第1実施形態による半導体受光装置の製造方法を示す
工程断面図（その2）

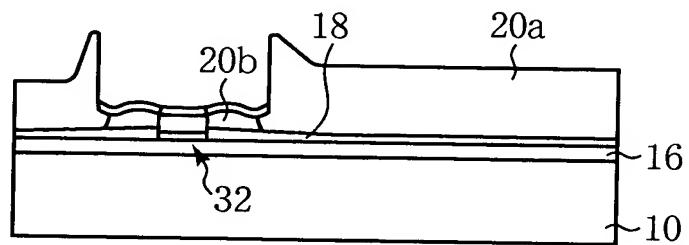
【図5】

本発明の第1実施形態による半導体受光装置の製造方法において
用いるマスクを示す上面図



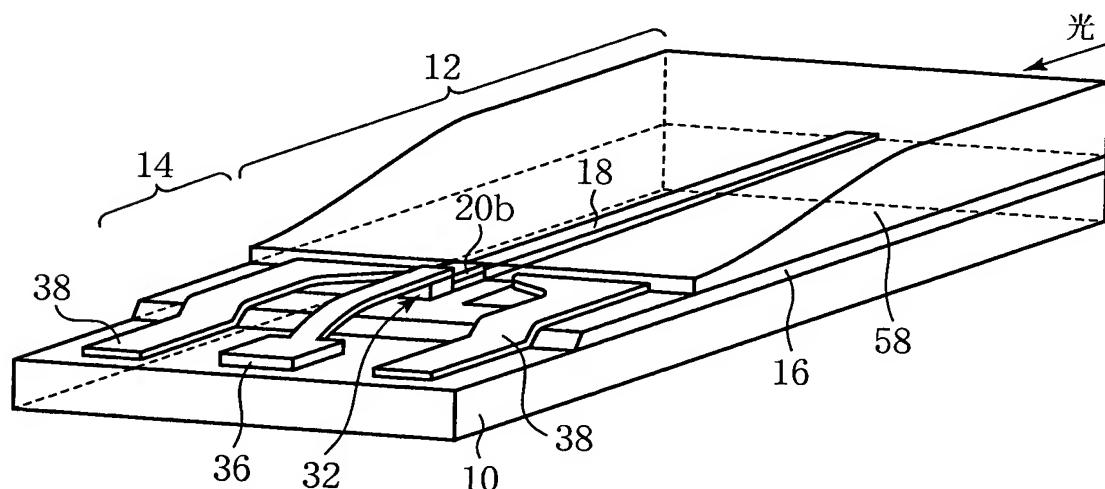
【図6】

本発明の第1実施形態による半導体受光装置の製造方法において
InPクラッド層を厚く形成した場合の様子を示す断面図



【図7】

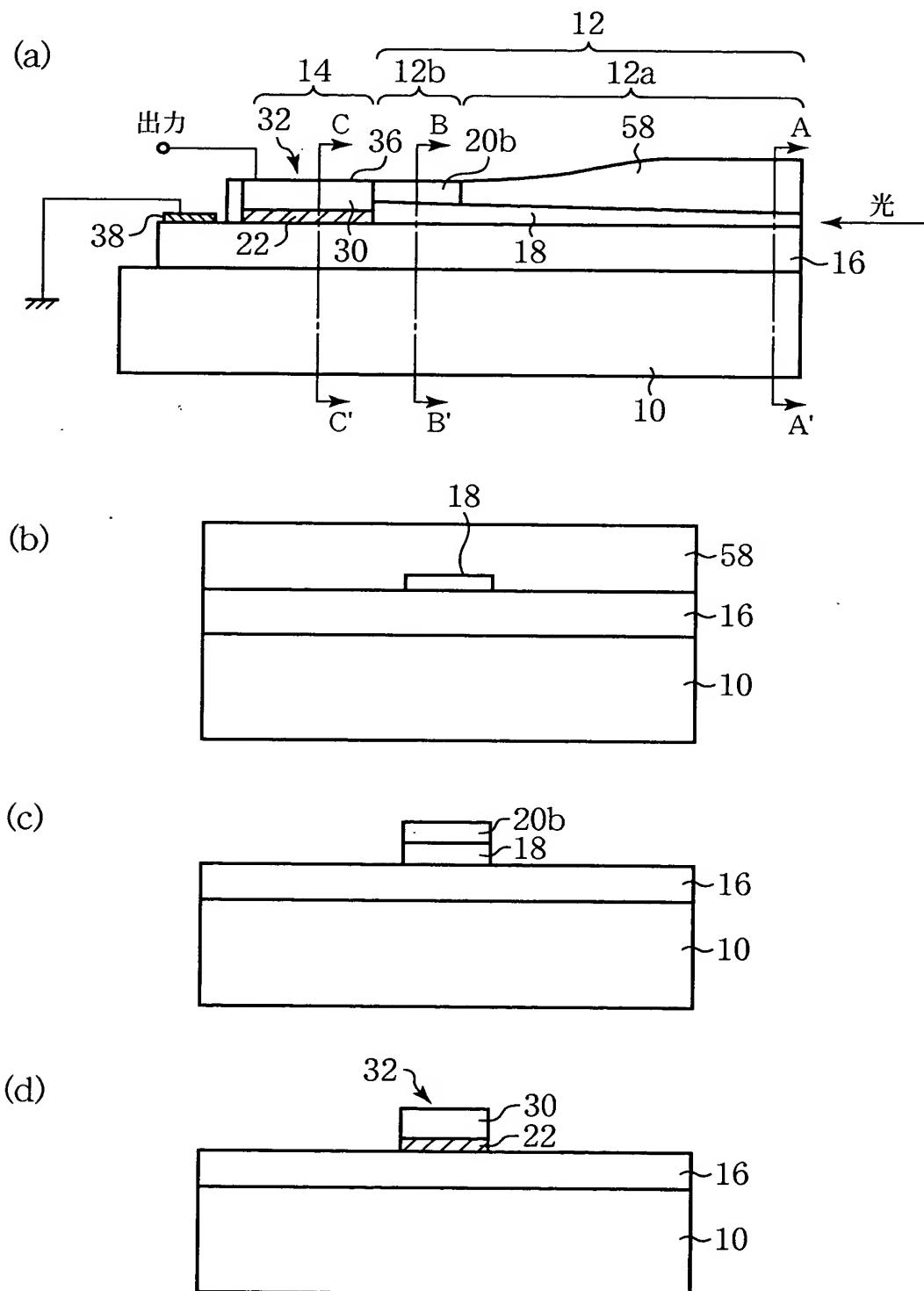
本発明の第2実施形態による半導体受光装置の構造を示す斜視図



58…InPクラッド層

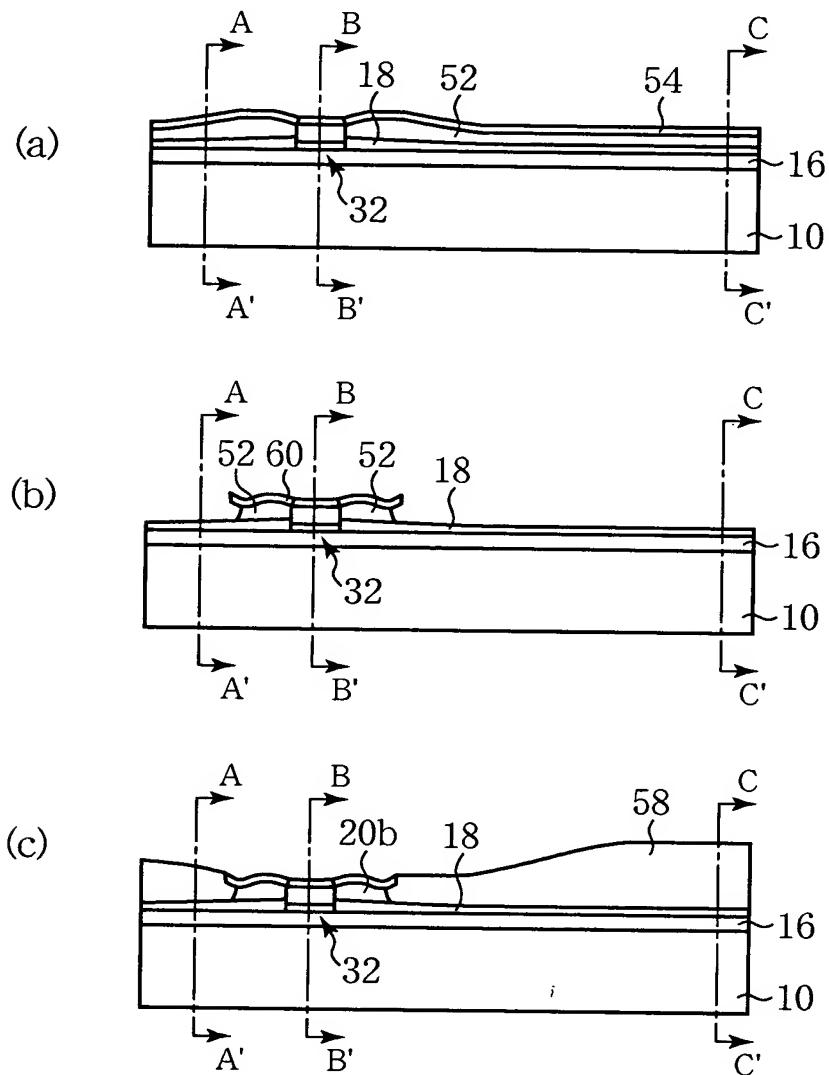
【図8】

本発明の第2実施形態による半導体受光装置の構造を示す断面図



【図9】

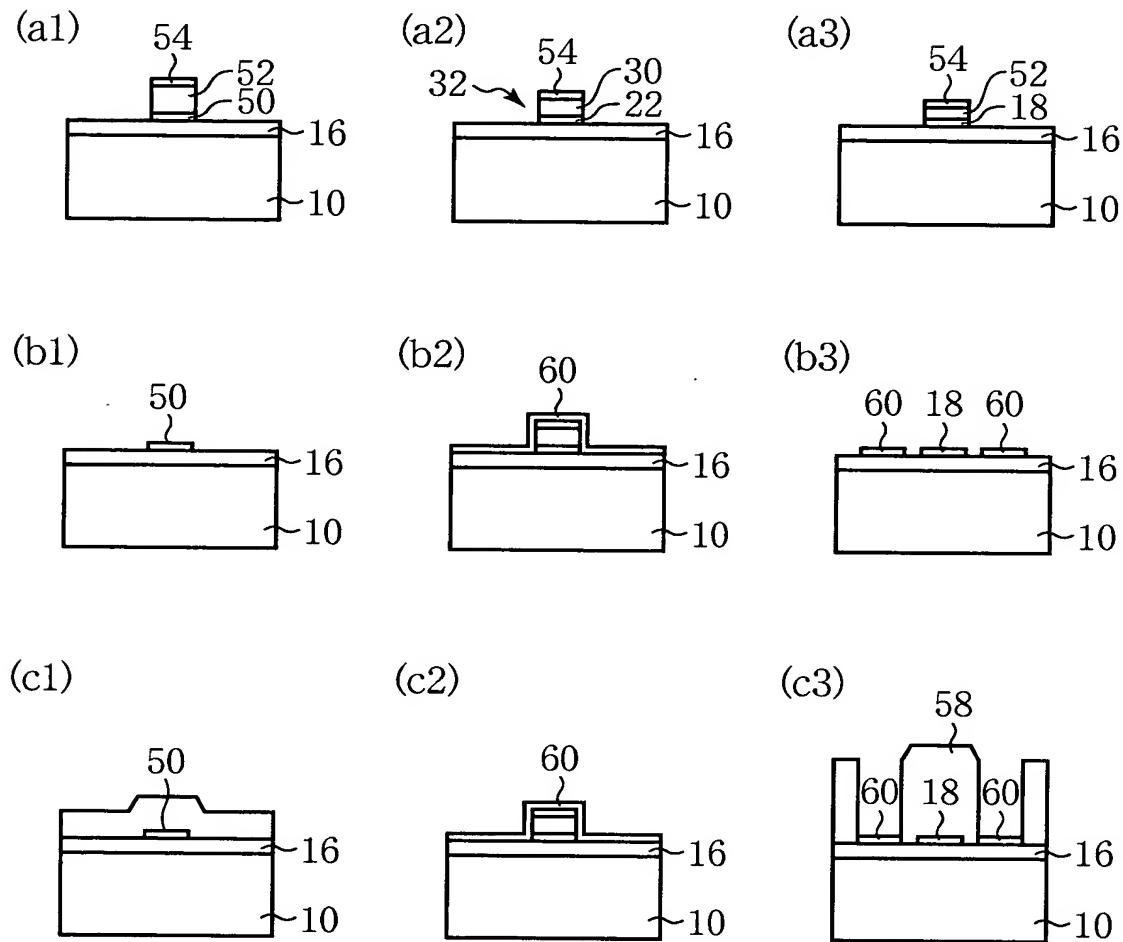
本発明の第2実施形態による半導体受光装置の製造方法を示す
工程断面図（その1）



60…シリコン酸化膜

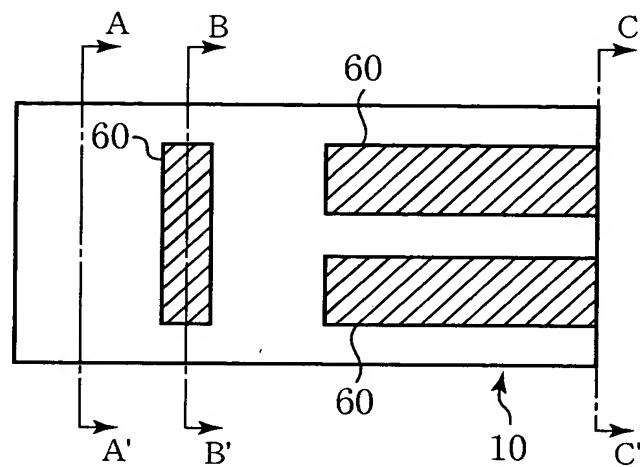
【図10】

本発明の第2実施形態による半導体受光装置の製造方法を示す
工程断面図（その2）



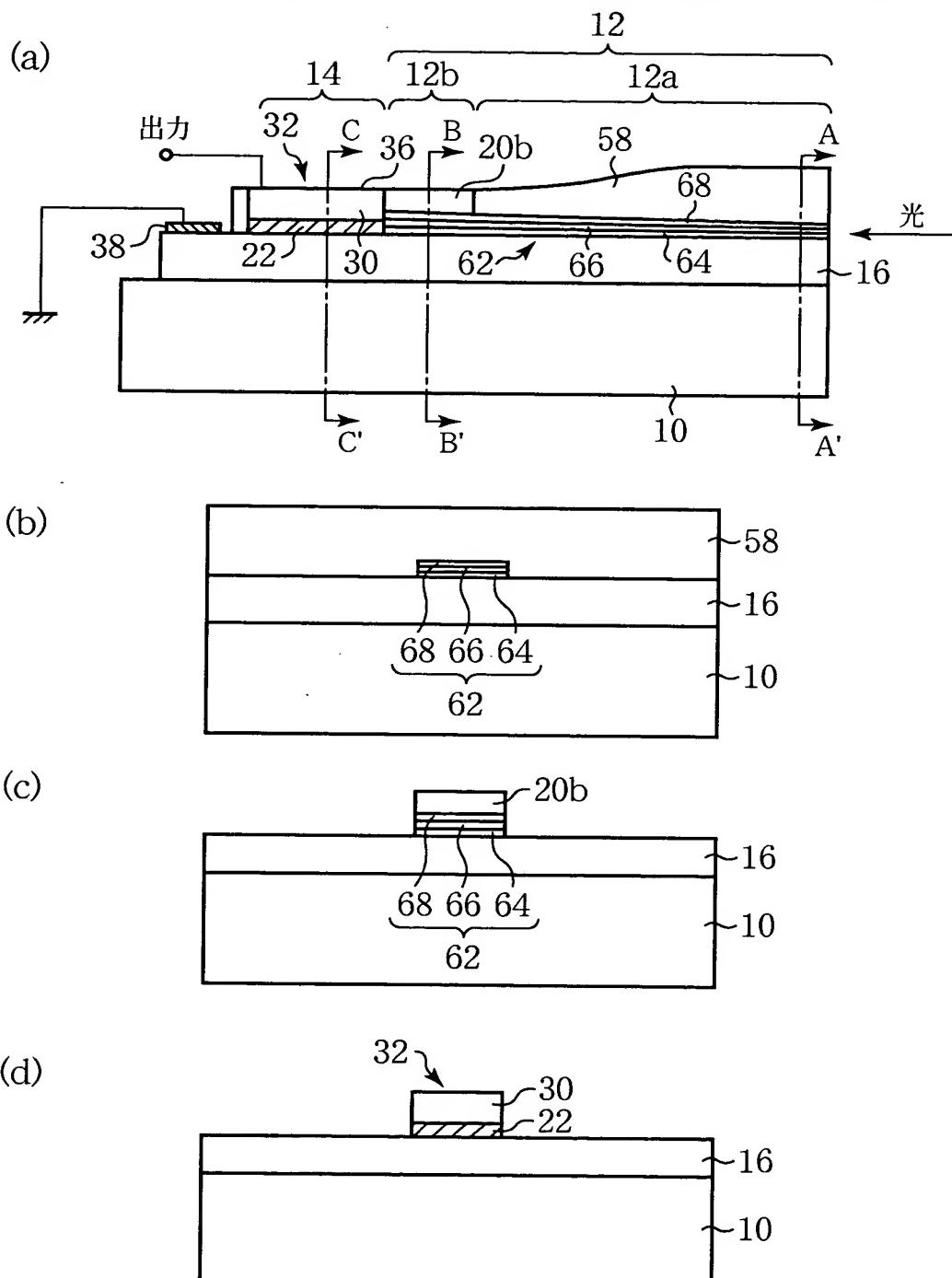
【図11】

本発明の第2実施形態による半導体受光装置の製造方法において
用いるマスクを示す上面図



【図12】

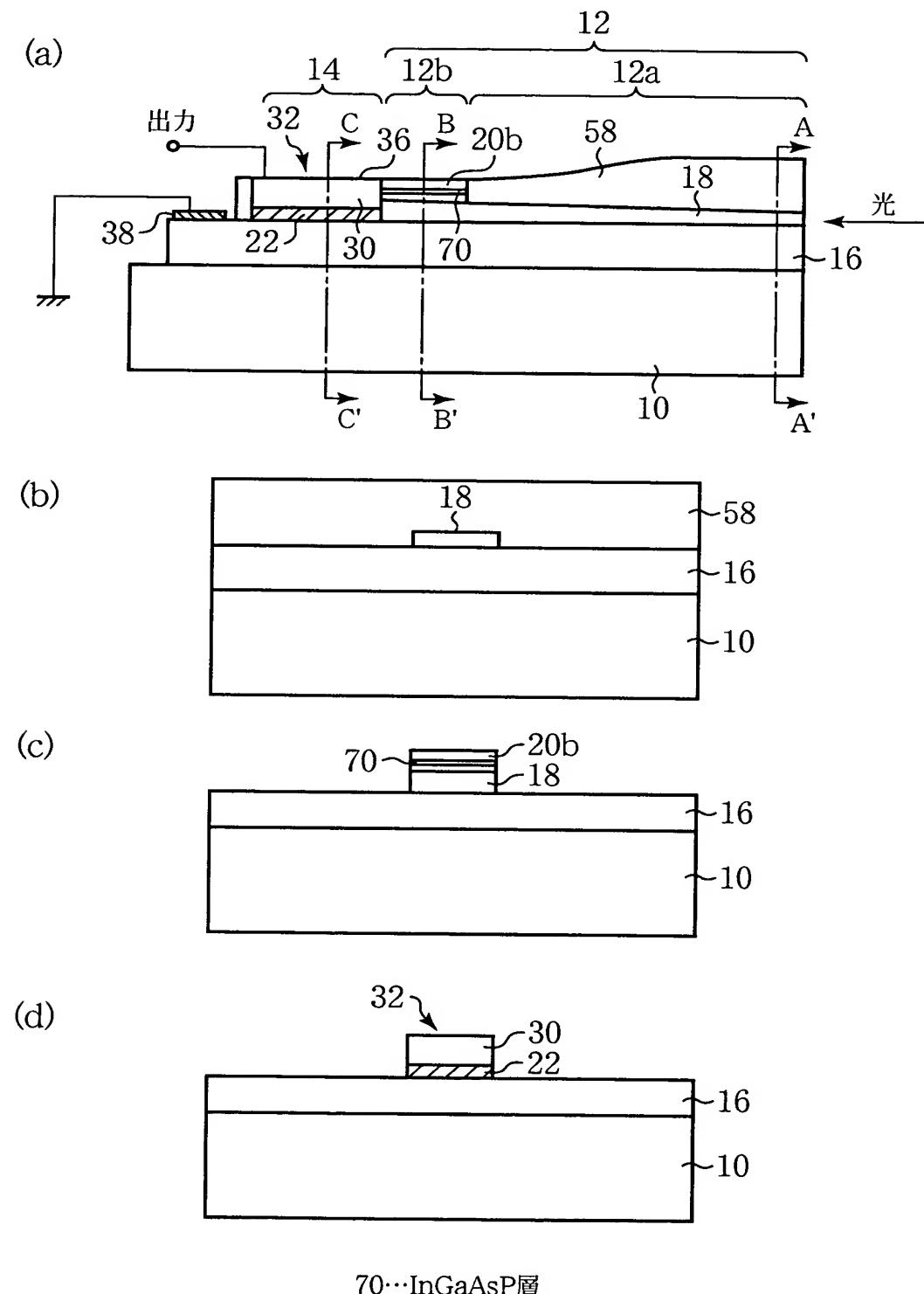
本発明の第3実施形態による半導体受光装置の構造を示す断面図



62…コア層 66…InP層
64…InGaAsP層 68…InGaAsP層

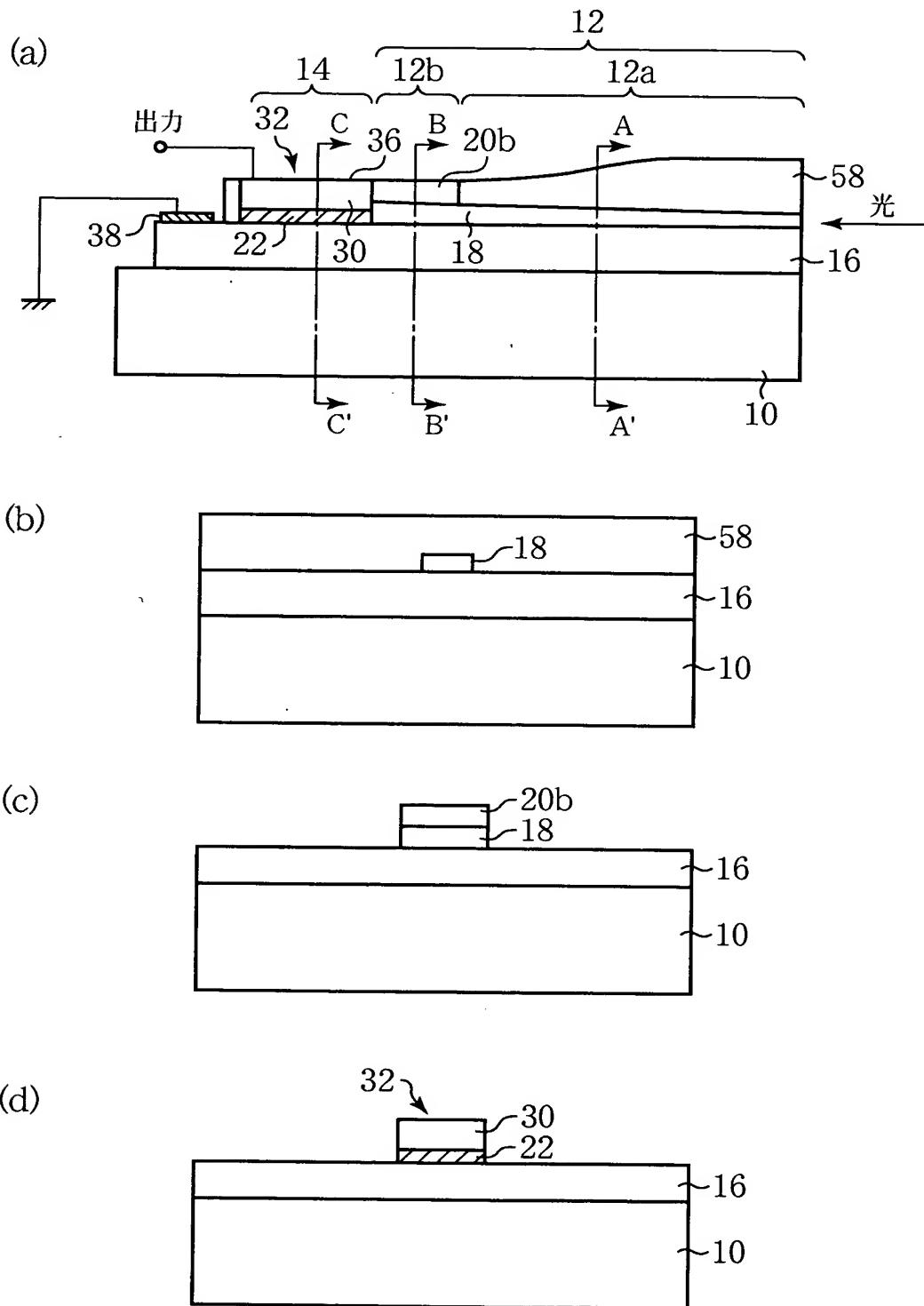
【図13】

本発明の第4実施形態による半導体受光装置の構造を示す断面図



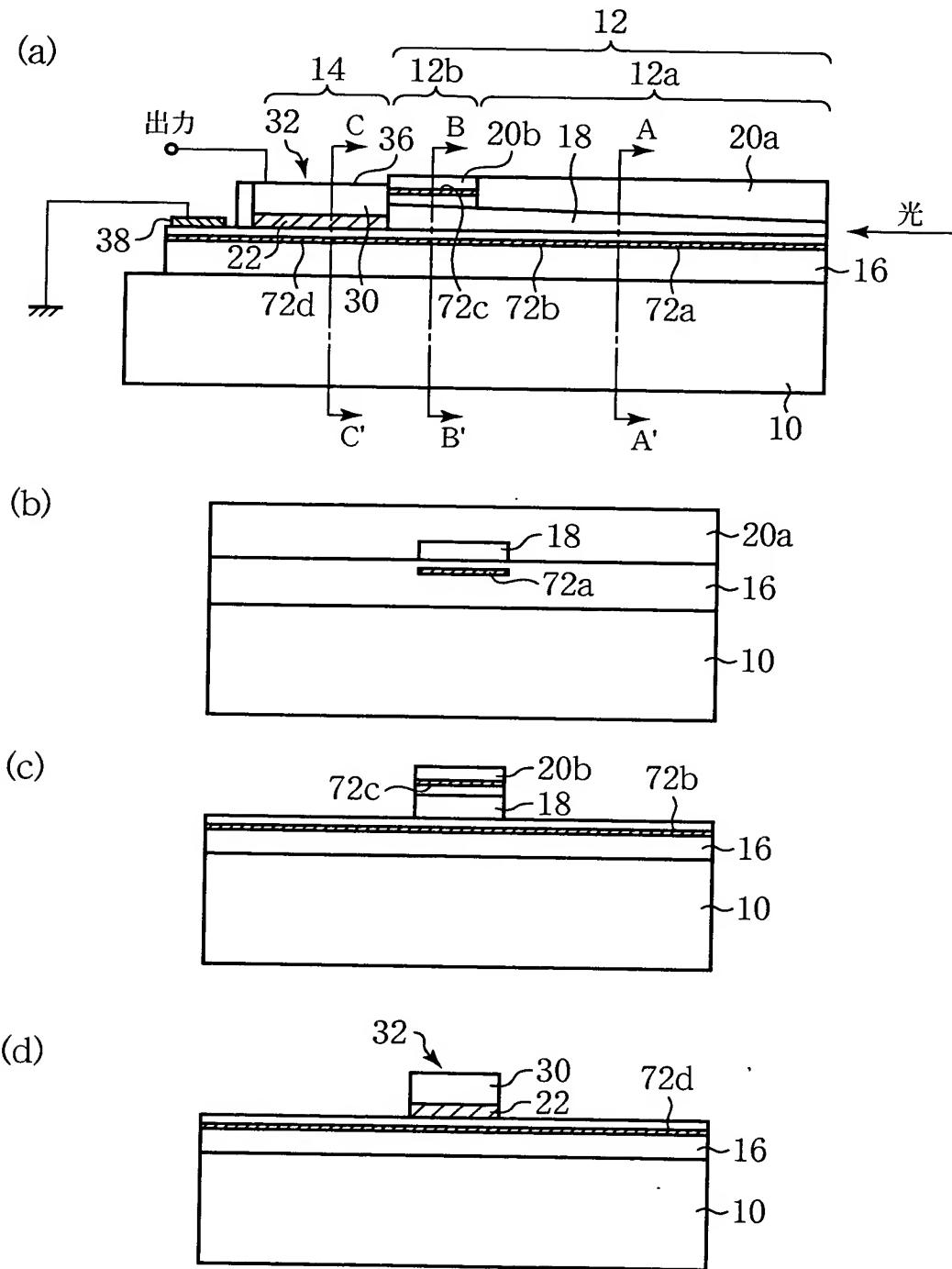
【図14】

本発明の第5実施形態による半導体受光装置の構造を示す断面図



【図15】

本発明の第6実施形態による半導体受光装置の構造を示す断面図

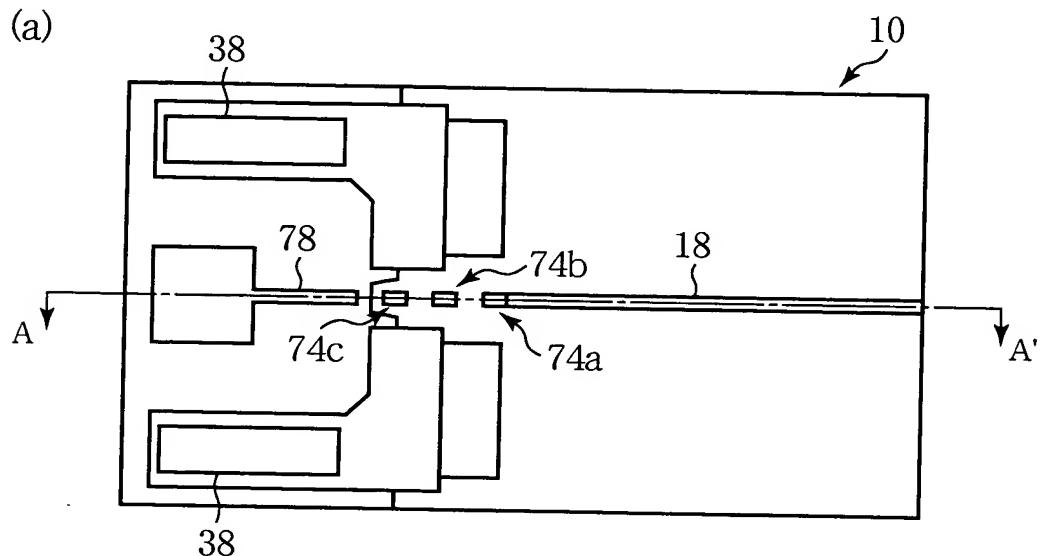


72a, 72b, 72c, 72d…InGaAsP層

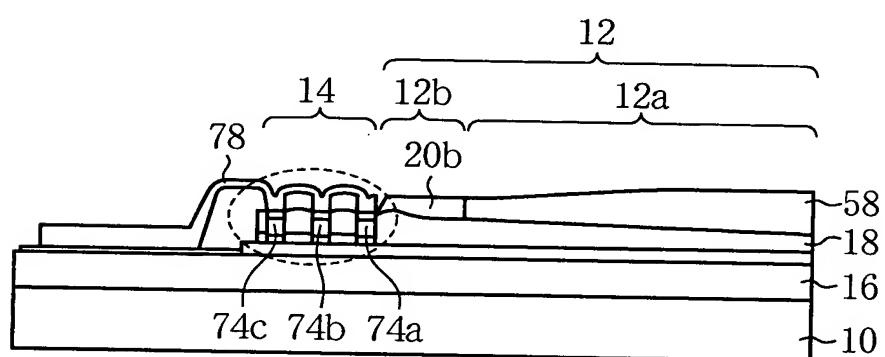
【図16】

本発明の第7実施形態による半導体受光装置の構造を示す概略図

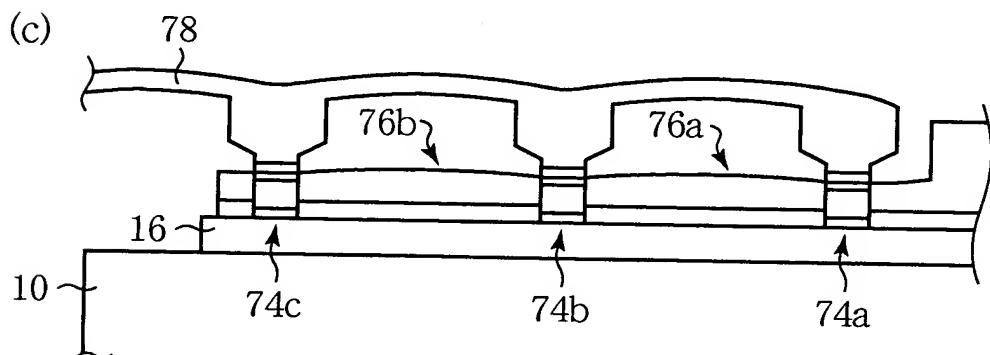
(a)



(b)



(c)



74a, 74b, 74c…PINフォトダイオード

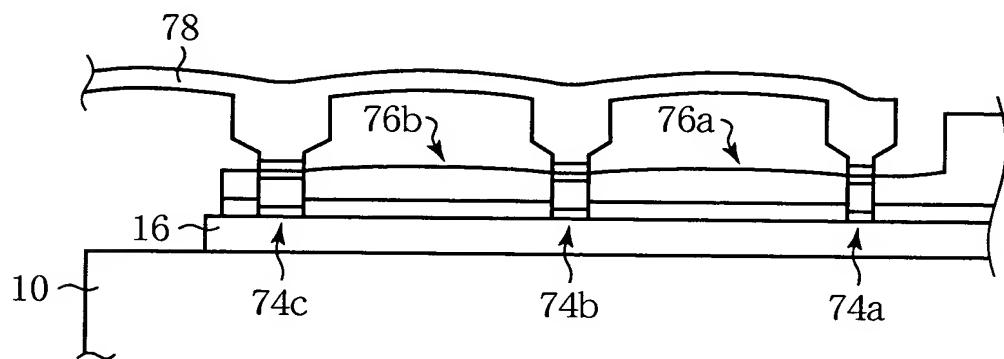
76a, 76b…リッジ型光導波路

78…信号配線

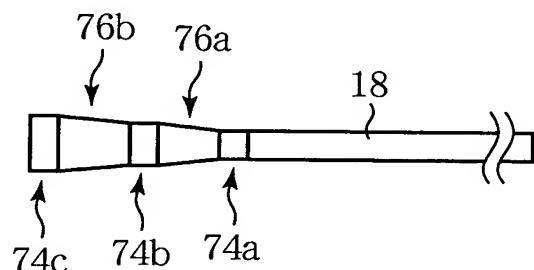
【図17】

本発明の第7実施形態の変形例による半導体受光装置の構造を示す断面図

(a)

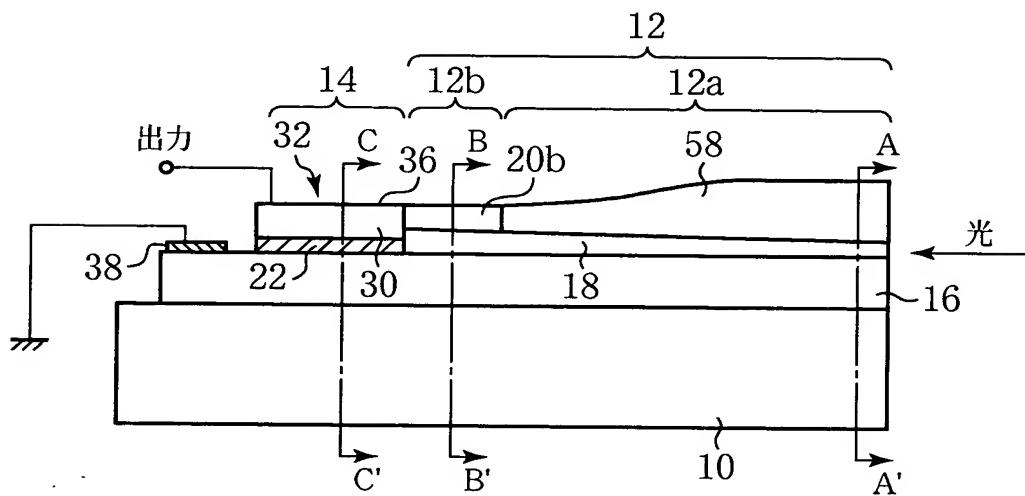


(b)



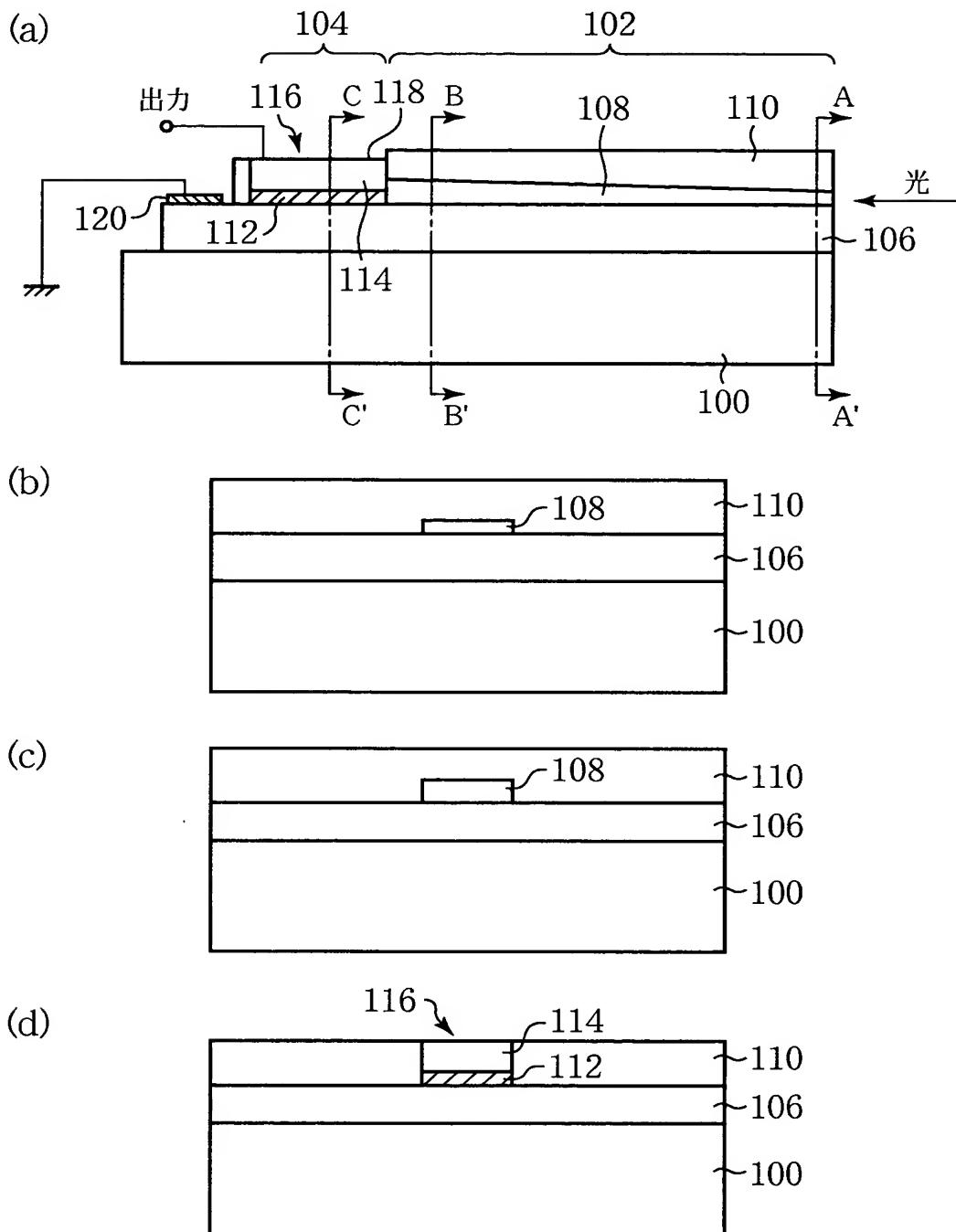
【図18】

本発明の変形例による半導体受光装置の構造を示す断面図



【図19】

従来の半導体受光装置の構造を示す断面図



100…SI-InP基板 108…InGaAsPコア層 116…PINフォトダイオード
 102…光導波路部 110…InPクラッド層 118…n型電極
 104…受光部 112…InGaAs光吸收層 120…p型電極
 106…n型InP層 114…p型半導体層

【書類名】 要約書

【要約】

【課題】 高い受光効率を有するとともに高速動作が可能であり、歩留まりよく製造しうる半導体受光装置及びその製造方法を提供する。

【解決手段】 S I - I n P 基板 1 0 上に形成された P I N フォトダイオード 3 2 と、 S I - I n P 基板 1 0 上に形成され、 P I N フォトダイオード 3 2 側に向かって膜厚が連続的に増加するテーパ状の I n G a A s P コア層 1 8 と、 I n G a A s P コア層 1 8 の上面及び側面を覆う I n P クラッド層 2 0 a とを有する埋め込み光導波路部 1 2 a と、 P I N フォトダイオード 3 2 と埋め込み光導波路部 1 2 a との間の S I - I n P 基板 1 0 上に形成され、 I n G a A s P コア層 1 8 と、 I n G a A s P コア層 1 8 の上面上のみを選択的に覆う I n P クラッド層 1 2 b とを有するリッジ型接続用光導波路部 1 2 b とを有する。

【選択図】 図 1

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社